

Architectures de décodeurs LDPC et Systèmes sur puce reconfigurables



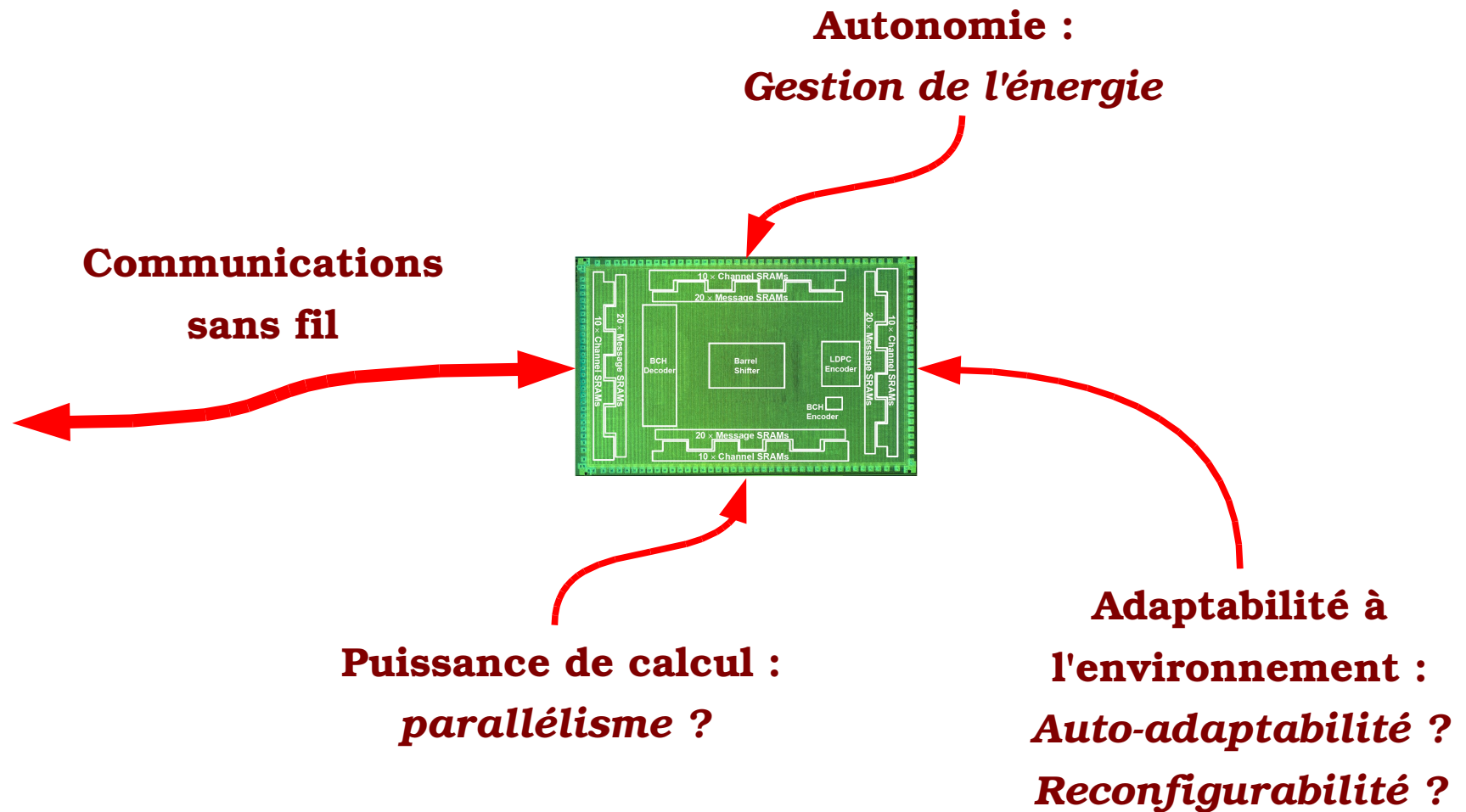
François Verdier

Laboratoire ETIS – UMR CNRS 8051

Equipe «Architecture»

Journée «IA embarquée» - Université de Cergy-Pontoise - 27/03/2007

Conception de systèmes embarqués



Plan

1. Conception d'architectures de décodeurs LDPC

Une classe de codes *Hardware Constrained* (HC-LDPC)

La démarche *Network-Centric* et les codes pour DVB-S2

Implémentation matérielle des décodeurs non-binaires

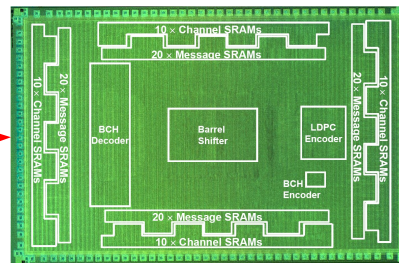
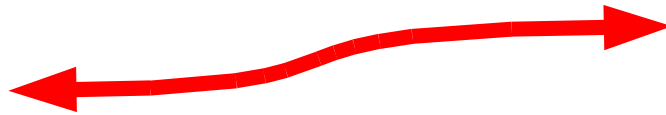
2. Conception de plateformes reconfigurables (RSoC)

Communications HW/SW et le modèle des *Alter-Ego*

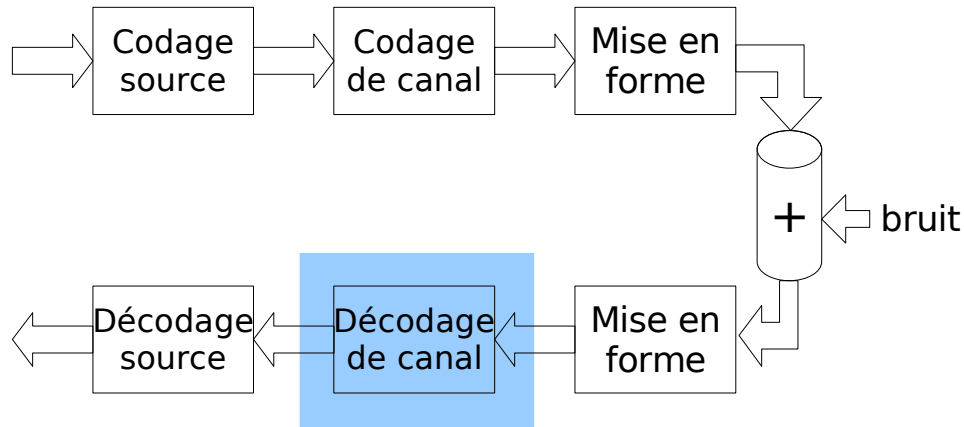
Modélisation à haut niveau des RTOS embarqués

Conception des formes d'ondes et plate-formes de SDR

Communications sans fil



1. Conception de décodeurs LDPC

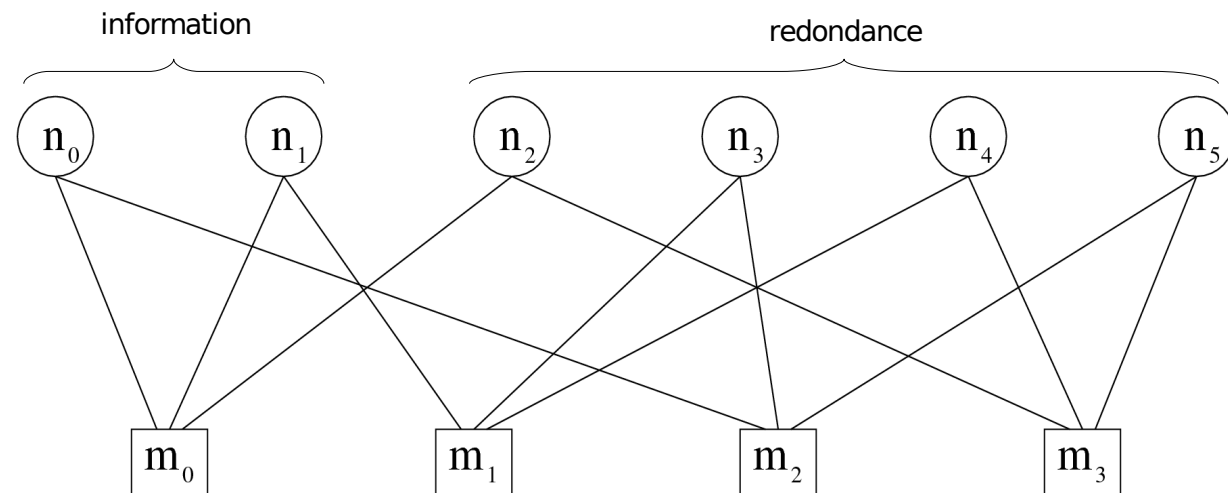


Topologie aléatoire des graphes :
Absence de structure
irrégularité des interconnexions

$$H = \begin{Bmatrix} 1 & 1 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 1 & 1 & 0 \\ 1 & 0 & 0 & 1 & 0 & 1 \\ 0 & 0 & 1 & 0 & 1 & 1 \end{Bmatrix}$$

Décodage LDPC :

- algorithmes itératifs à décisions souples
- matrices pseudo-aléatoires creuses
- passages de messages sur graphes de Tanner



1.1 La classe des codes HC-LDPC

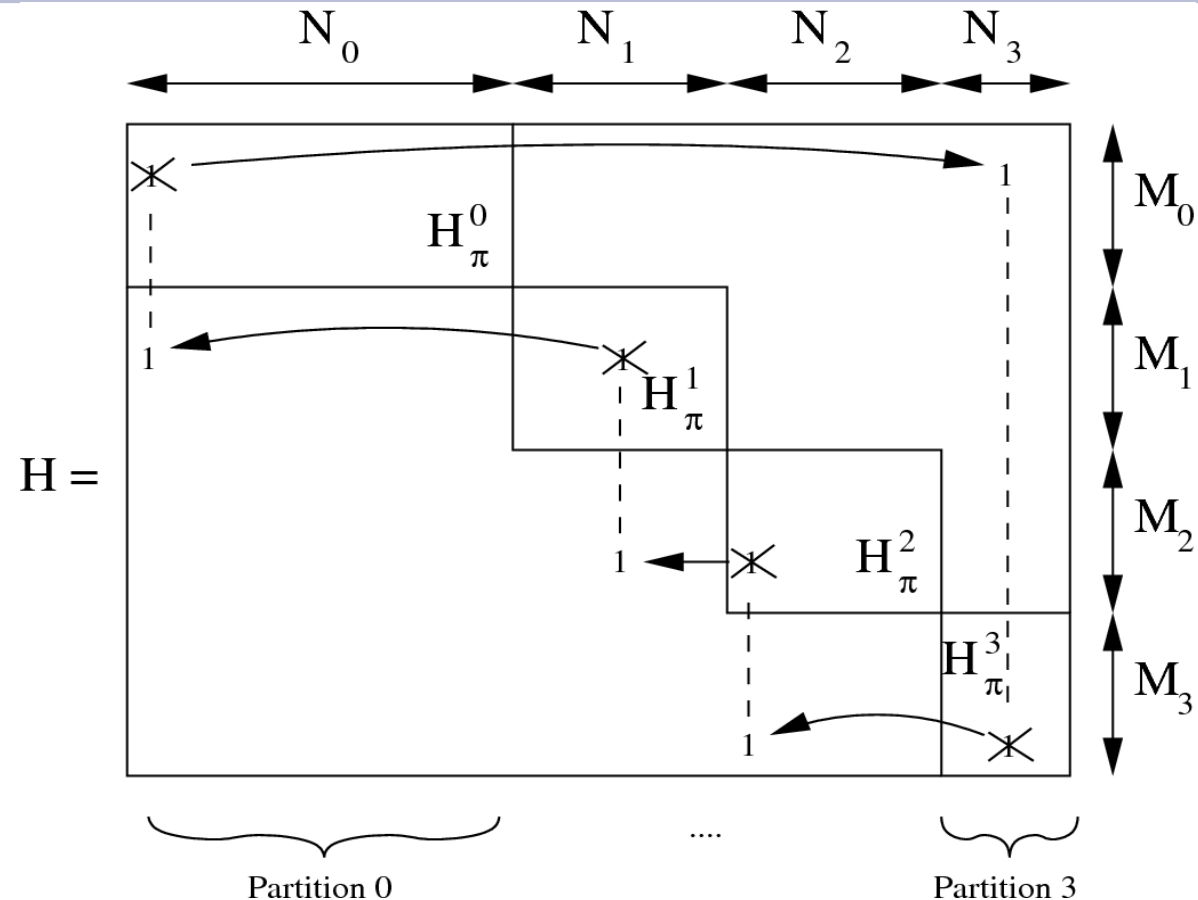
⇒ **Collaboration JEMSTIC**

Objectifs :

- Topologie pseudo-aléatoire
- Matrices fortement structurées
 - Interconnexions minimales
- Codes réguliers/irréguliers
- Parallélisme sur N_p processeurs

Construction de la classe :

- Matrice H structurée diagonale
- Parallélisation en N_p partitions
- Une seule séquence d'entrelacement
- Mélange pseudo-aléatoire par permutations circulaires
- Parallélisation sans dégradation des performances
(< 32 partitions pour des codes de 1k à 10k symboles)

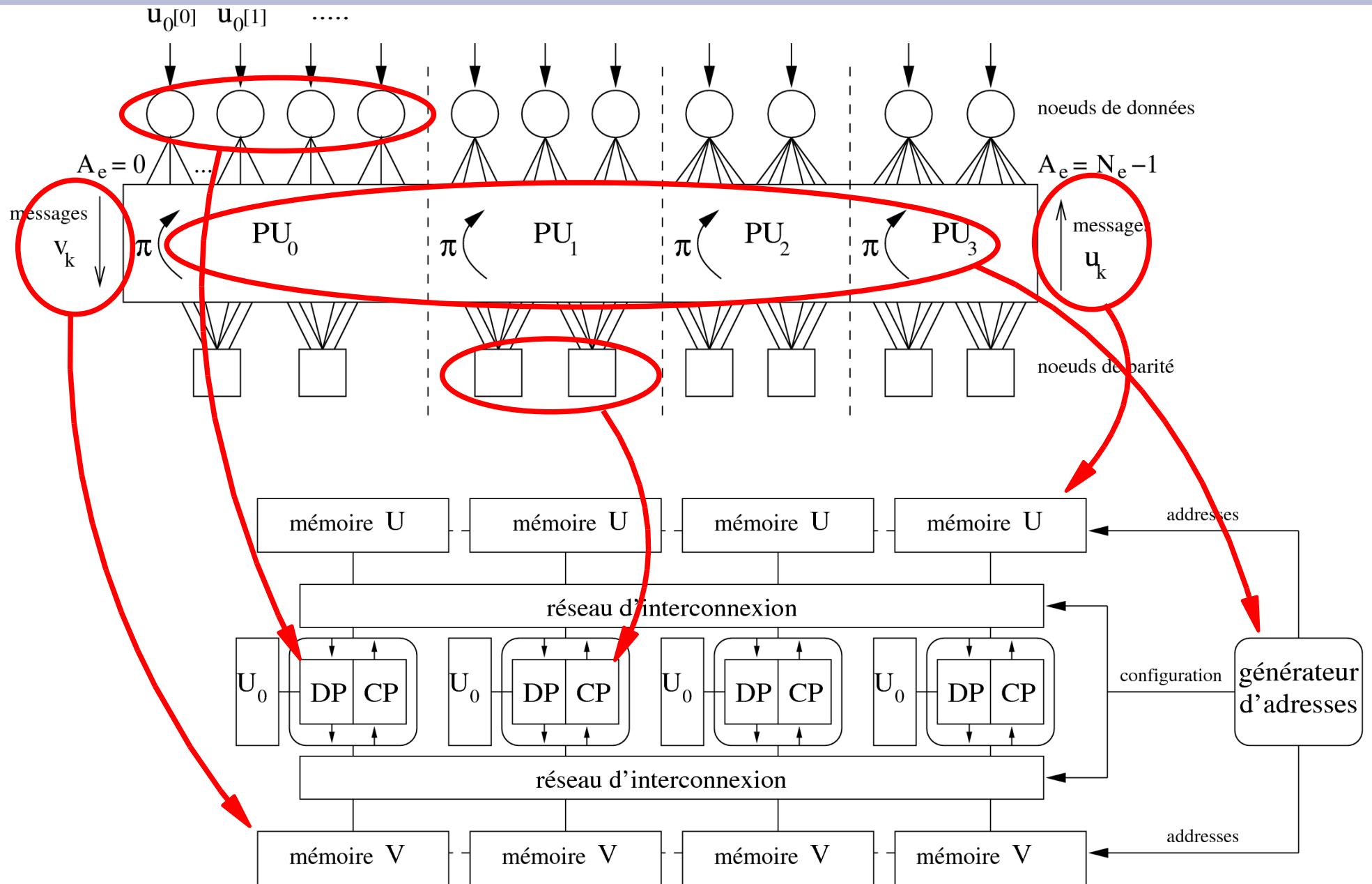


[JFAAA'02]

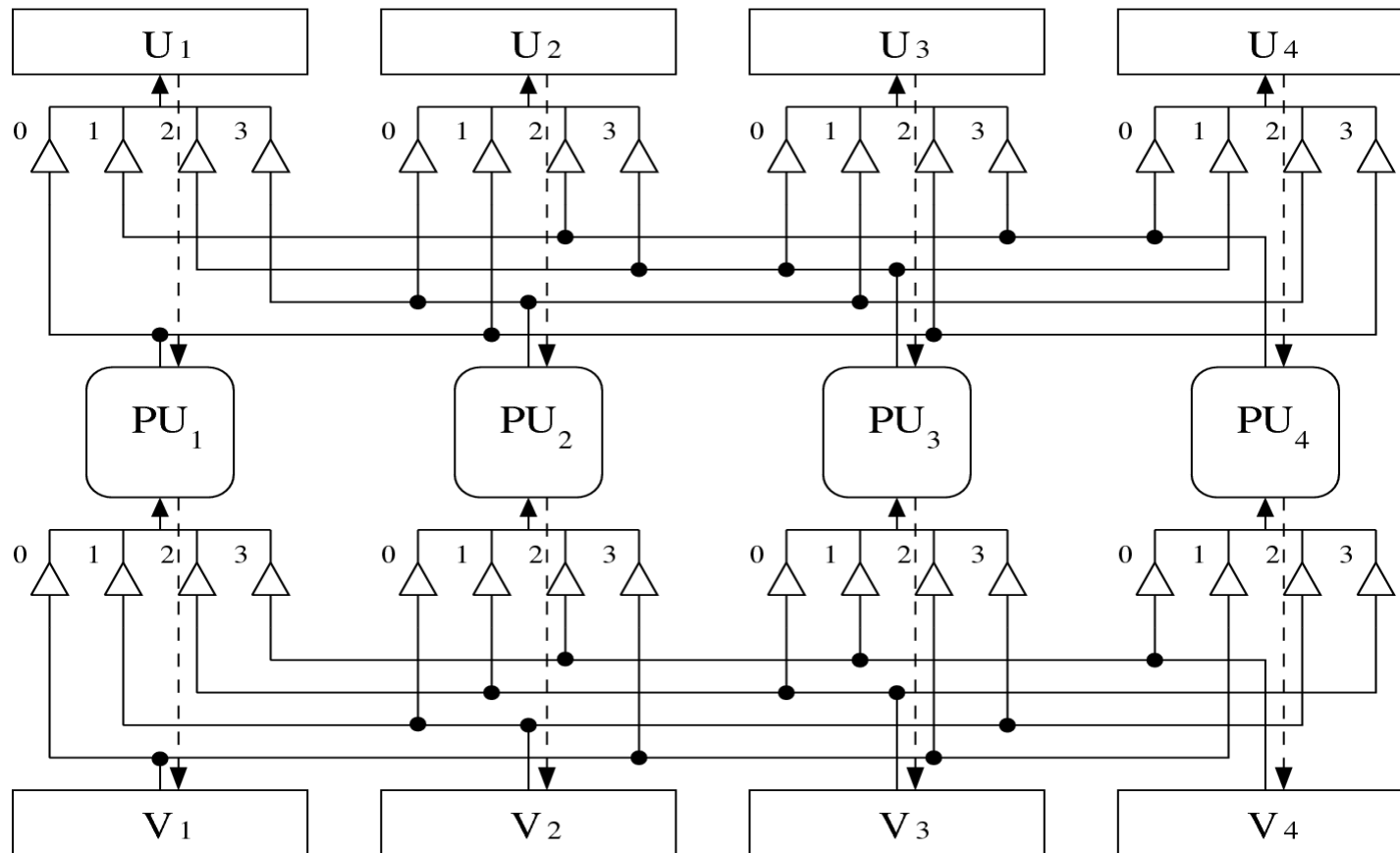
[TurboCodes'03a]

[TurboCodes'03b]

Décodeurs HC-LDPC : architecture de base



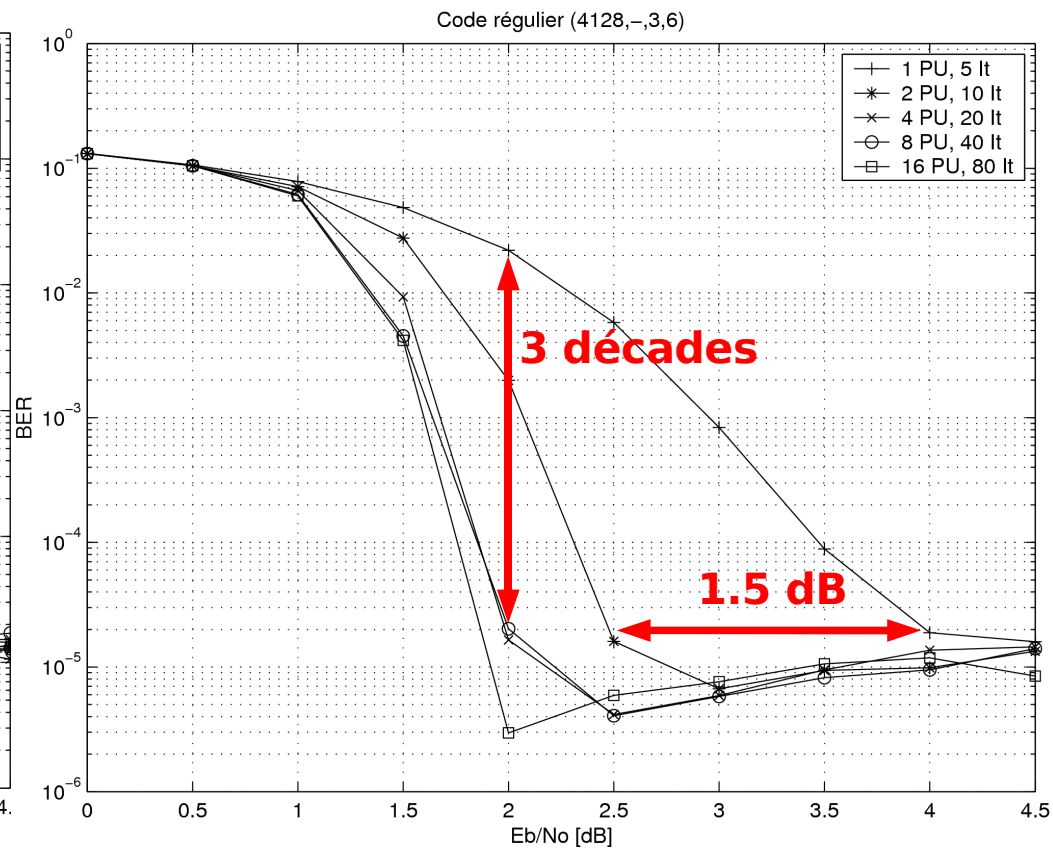
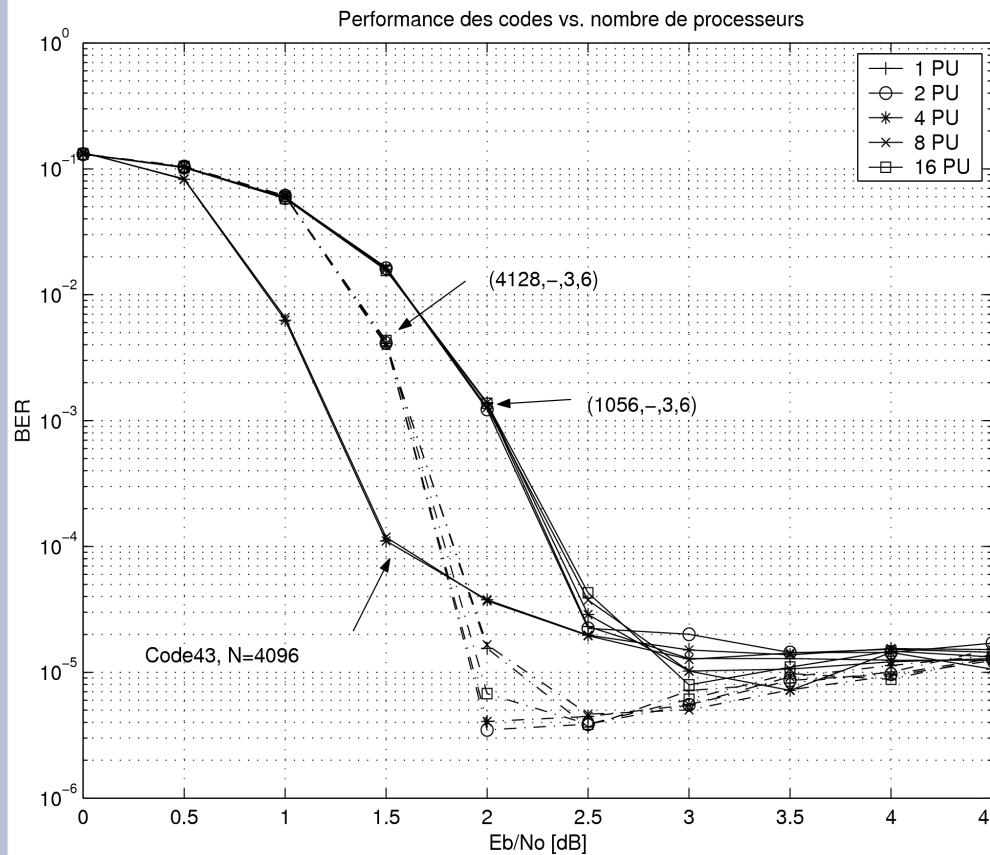
Décodeurs HC-LDPC : réseaux d'interconnexion



Résultats :

- Réseaux d'interconnexion symétriques (*Barrel Shifter*)
- Architecture pipeline synchrone (SIMD)
- Absence de conflits d'accès mémoire
- Surface mémoire matrice $\propto 1/N_p$

Les décodeurs HC-LDPC



Résultats :

- Modèle décrit et simulé en SystemC (J-M. Philippe, 2002)
- Codage VHDL et implantation sur FPGA ALTERA Apex20K (F. Tulars, 2003) :
 - Code irrégulier $N=2048$ parallélisé sur 4 processeurs (1 Mb/s @ 38 Mhz)
 - Code régulier $N=3096$ parallélisé sur 3 processeurs

[IEEE TCOM 2006]

1.2 Décodeurs LDPC pour DVB-S2

⇒ Arthur Segard, Thèse BDI ST-micro (18/01/2007)

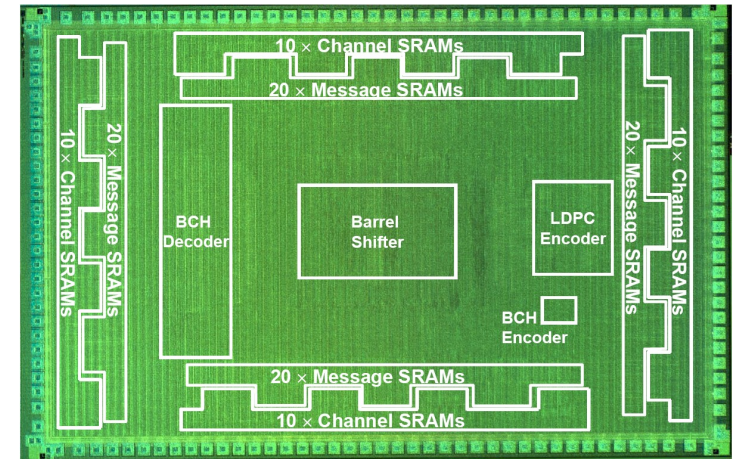
Objectif :

Proposer une architecture performante et technologiquement moins coûteuse (mémoire + réseau)

Facteur d'amélioration :

Rompre avec l'ordonnancement régulier des calculs pour accélérer la convergence

⇒ **complexité accrue des accès aux données**

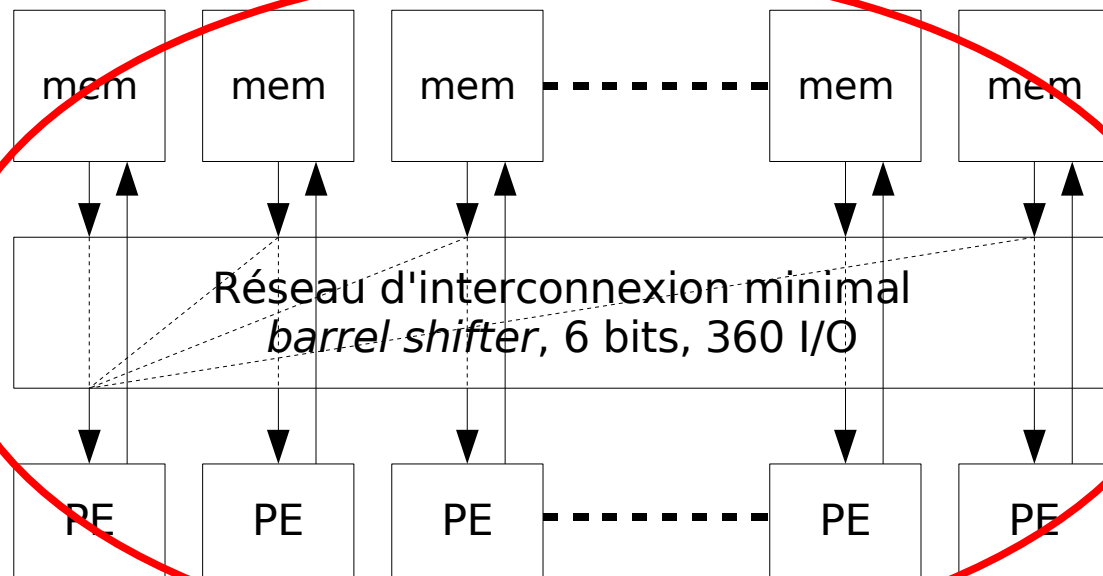


Décodeur DVB-S2 ST-Micro
130nm, 8M, 49.6 mm²

Démarche de conception «*network-centric*» :

- Limiter au maximum l'*overhead* dû au coût des interconnexions
- Atteindre un taux de parallélisme maximal (**jusqu'à 360 !**)
- Permettre des accès pseudo-aléatoires aux données

Approche de conception centrée sur les interconnexions



Collection d'unités de mémorisation

Unique réseau d'interconnexion :
Barrel Shifter

Collection de processeurs
génériques tous identiques

Modèle architectural minimal

Algorithme avec ordonnancement **HSS**
(**H**orizontal **S**huffled **S**chedule)

Définition de la classe des codes
(généralisation de la classe **HC-LDPC**)
Méthode de construction des matrices

Adaptation
(dégradation ?)
du modèle aux codes
LDPC pour DVB-S2

Implantation parallèle de l'ordonnancement brouillé

Structure du décodeur centrée sur les nœuds de parité (principe *shuffled*) :

Mémoire :
$$v_i^{(l)} = \dot{S}_n - u_i^{(l-1)} \quad \left(S_n = LLR_n + \sum_{k=1}^{d_v} u_k \right)$$

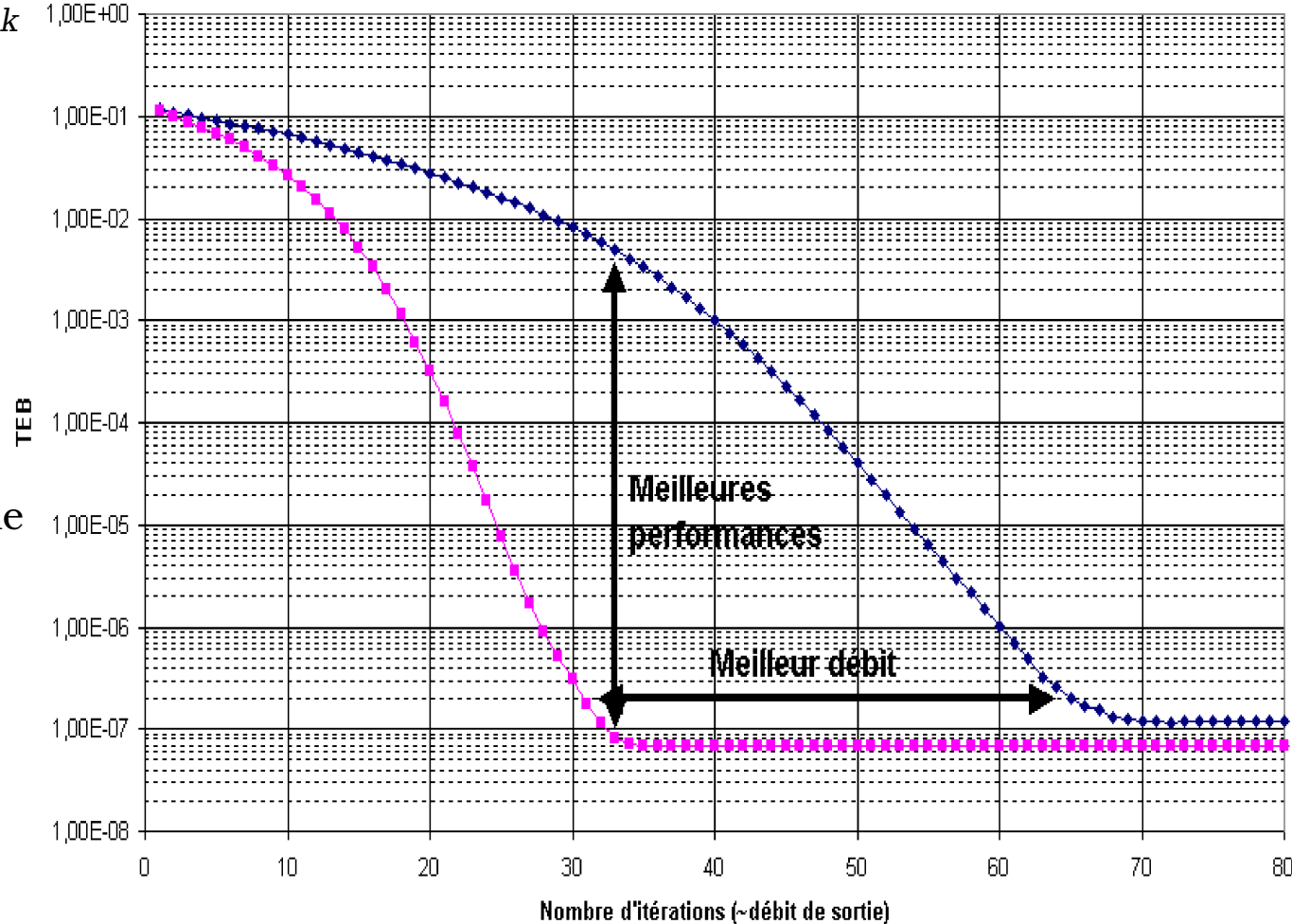
Calculs :
$$u_i^{(l)} = \bigoplus_{j=1, j \neq l}^{d_c} v_k^{(l)}$$

Mise à jour :
$$\ddot{S}_n = u_i^{(l)} + v_i^{(l)}$$

Convergence FS vs HSS
Eb/N0=0,95 dB

Résultats :

- HC-LDPC : pas de conflits
- Occupation mémoire minimale
- Augmentation du débit

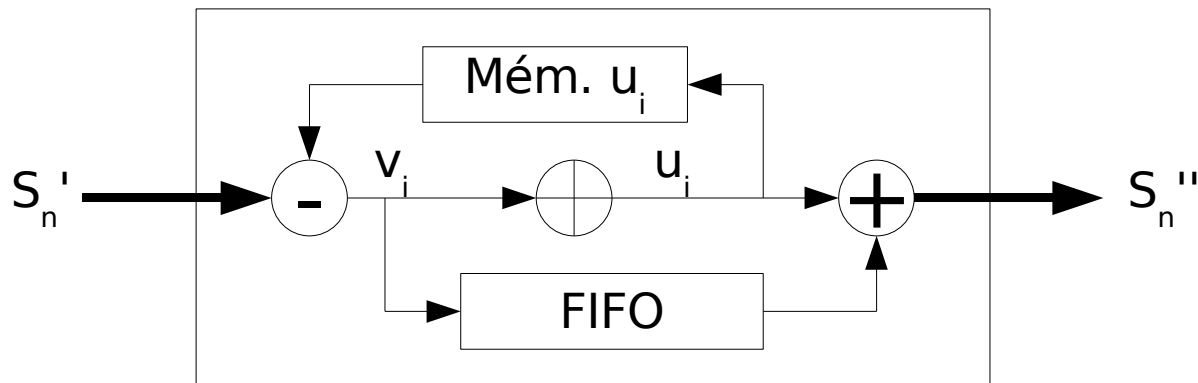
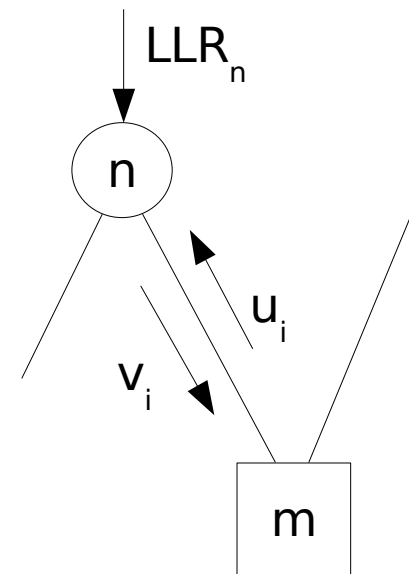


DVB-S2 : Implantation parallèle de l'ordonnancement brouillé

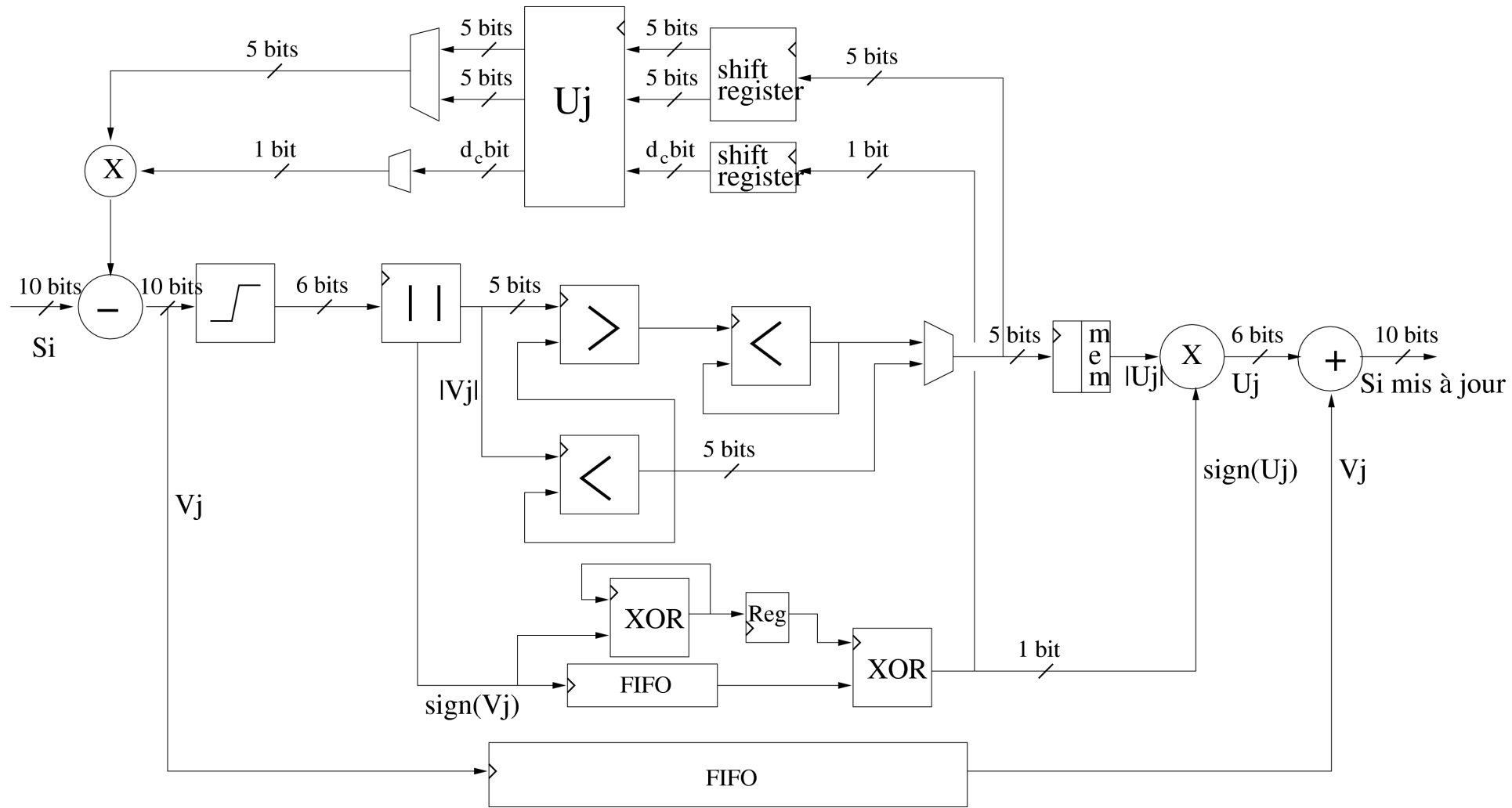
Structure du décodeur centrée sur les nœuds de parité (principe *shuffled*) :

Mémoire : $v_i^{(l)} = \dot{S}_n - u_i^{(l-1)}$ $\left(S_n = LLR_n + \sum_{k=1}^{d_v} u_k \right)$
 Calculs : $u_i^{(l)} = \bigoplus_{j=1, j \neq l}^{d_c} v_j^{(l)}$ Augmentation de la dynamique des données
 Mise à jour : $\ddot{S}_n = u_i^{(l)} + v_i^{(l)}$

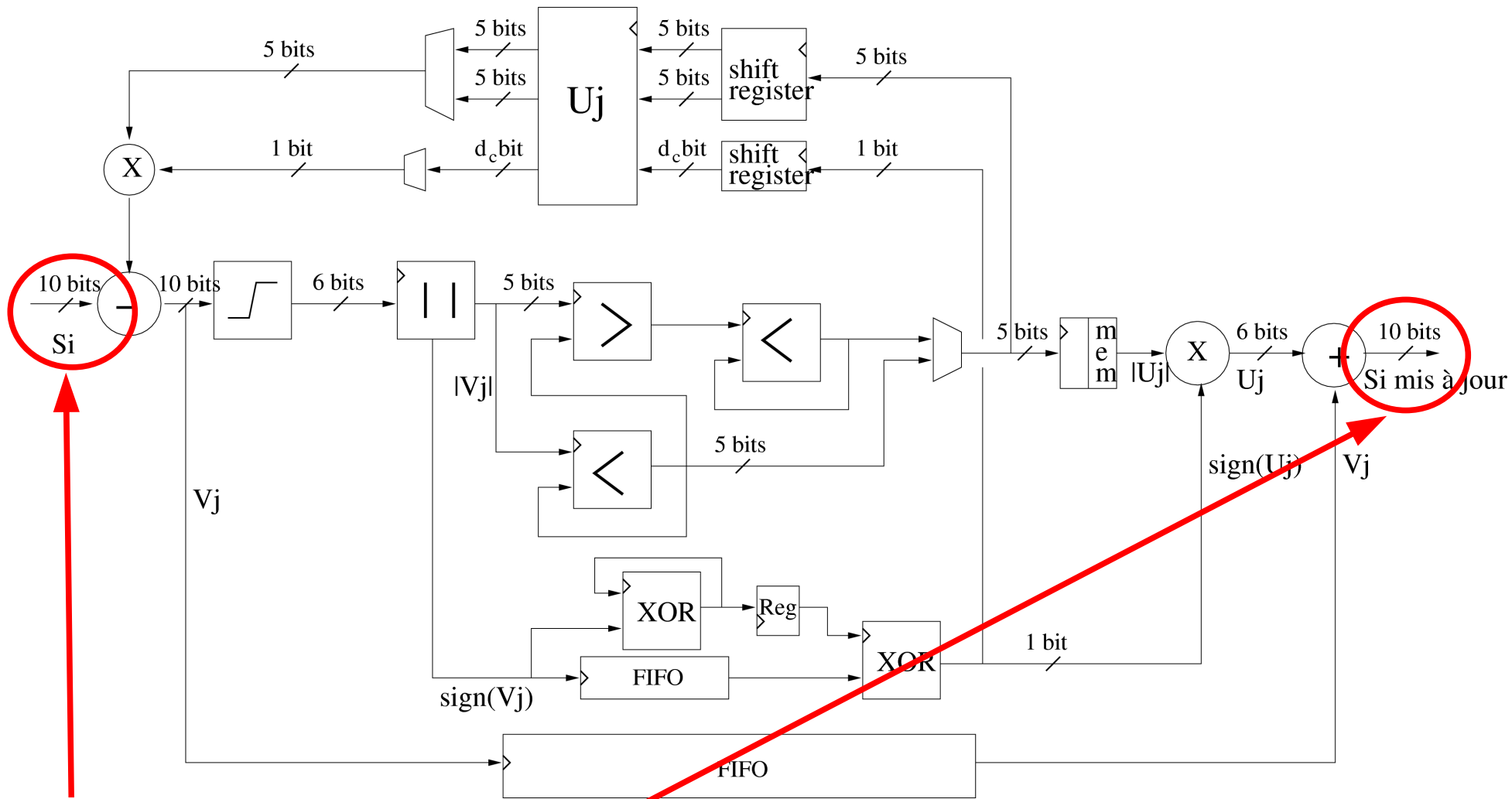
Dépendances (conflits) possibles entre processeurs parallèles



Décodeur HC-LDPC pour DVB-S2

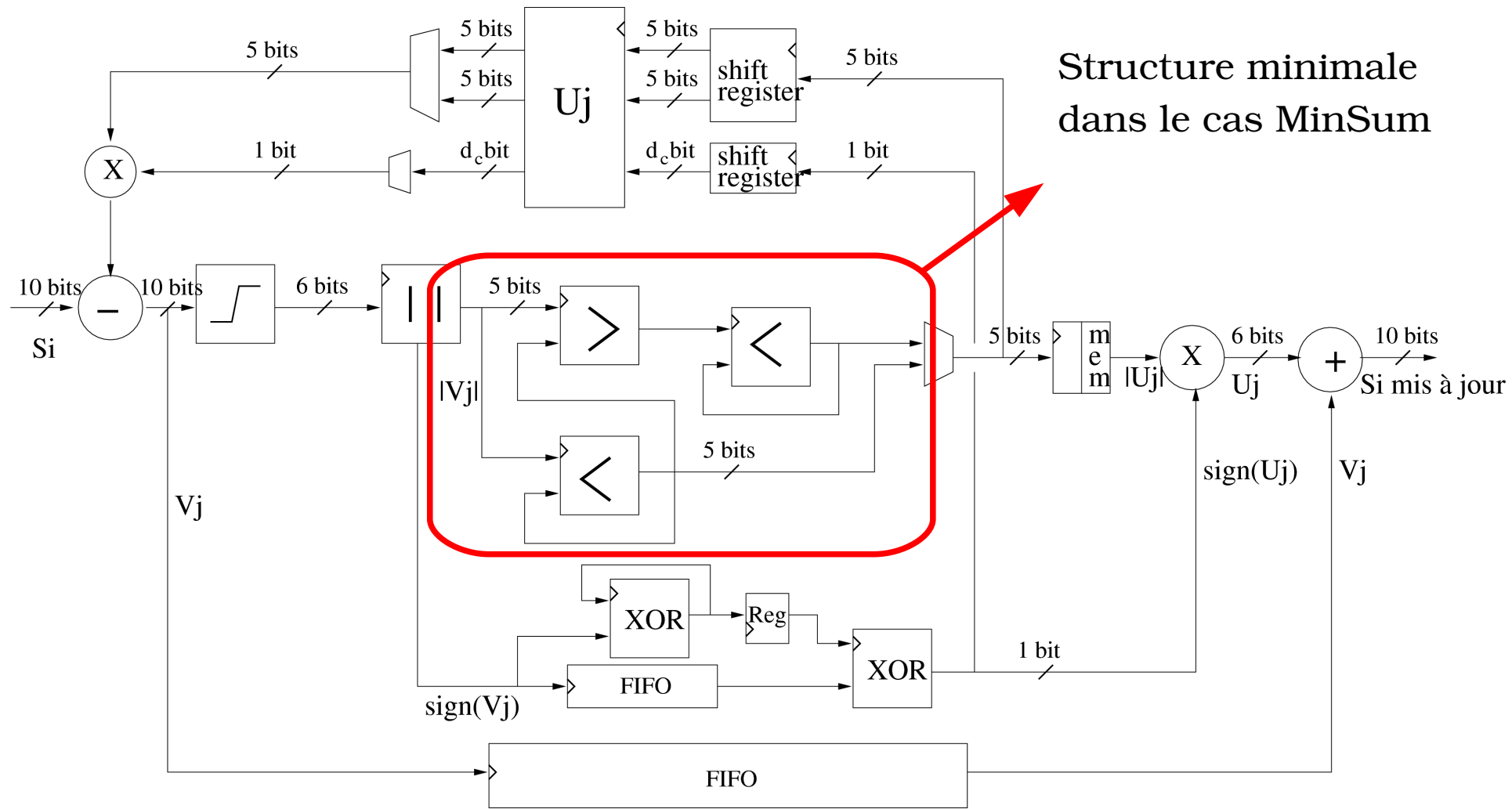


Décodeur HC-LDPC pour DVB-S2



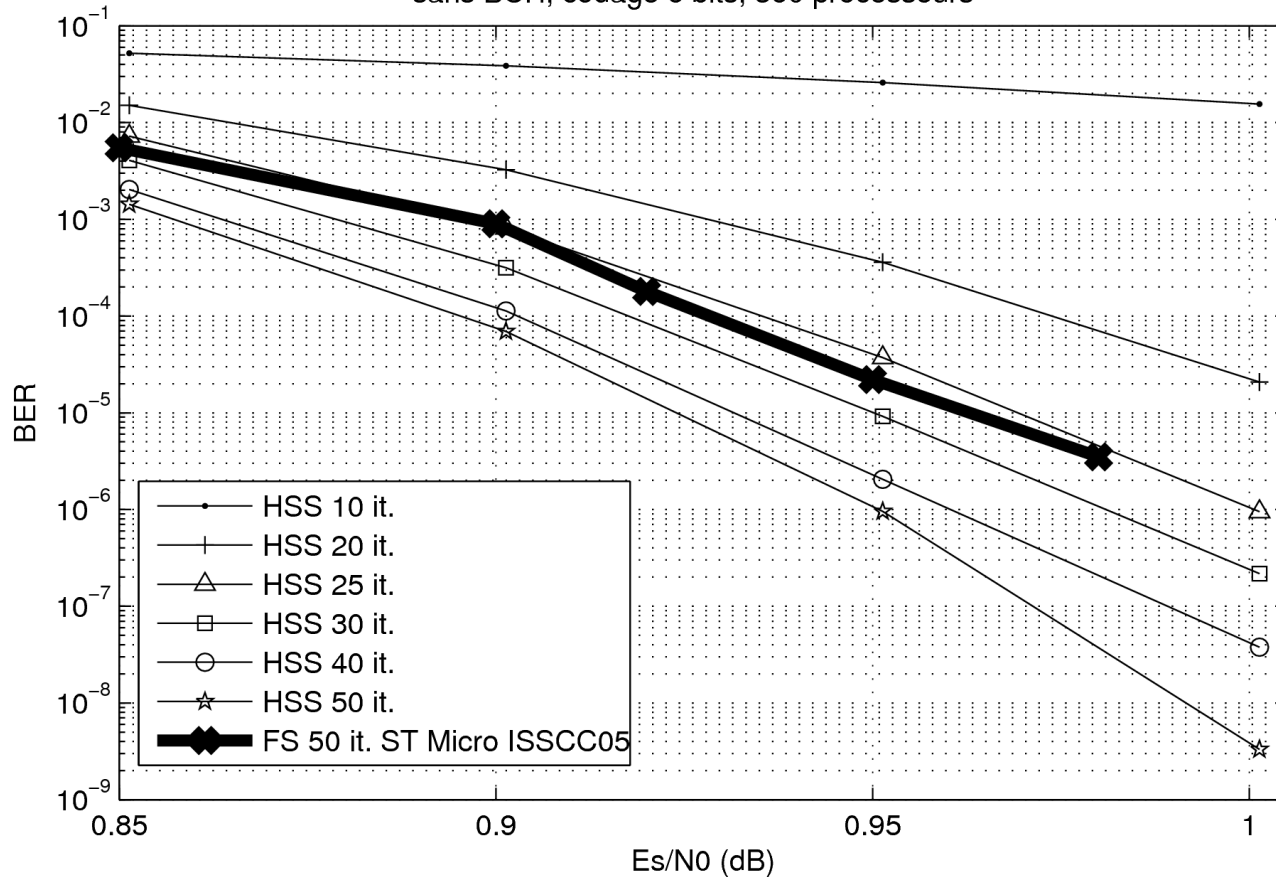
Largeur de bus importante
(fonction des degrés d'irrégularité)

Décodeur HC-LDPC pour DVB-S2



Résultats de décodage DVB-S2

matrice DVB-S2 : N=64800, r=1/2
sans BCH, codage 6 bits, 360 processeurs



Débit (Mb/s) du décodeur sur
les matrices DVB-S2 *long frames*

(contrainte : 135 Mb/s)

R	Débit (QEF) à 200MHz
1/4	393
1/3	349
1/2	396
3/5	308
3/4	409
5/6	330
8/9	812

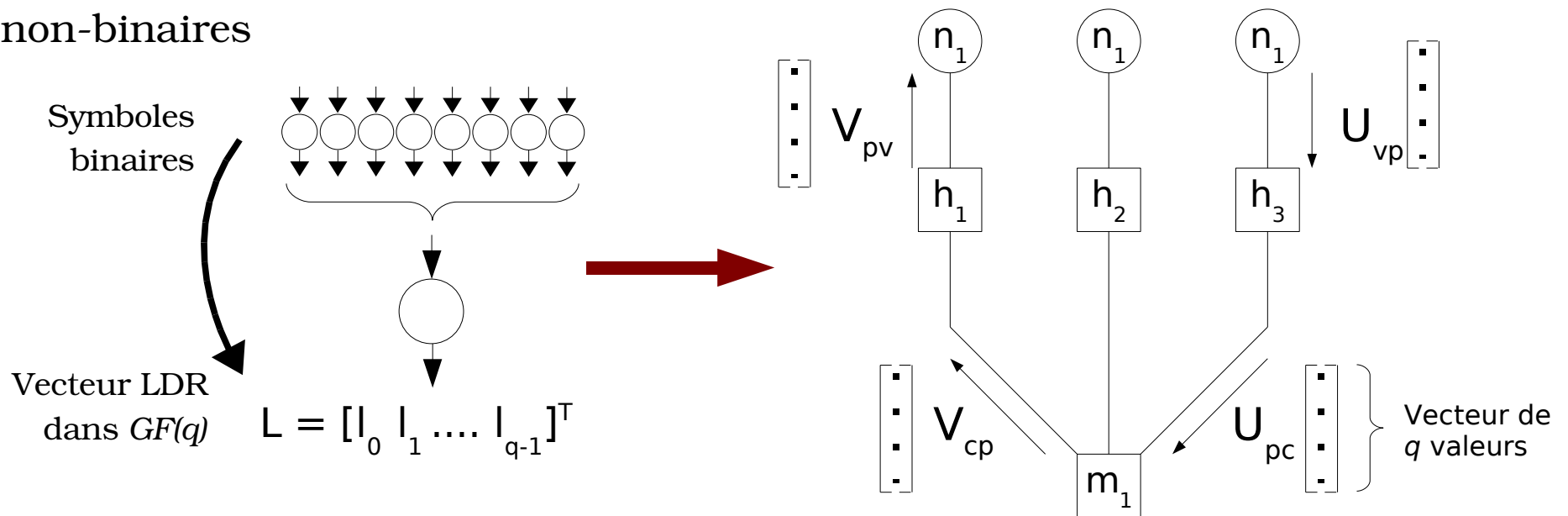
Estimation technologique :

- Technologie ST 90nm
- Surface RAM = 4,07 mm²
- Surface processeur + contrôle + glue = 2,2 mm²
- Surface post-routage = 11 mm²

1.3 Vers des décodeurs LDPC non binaires

⇒ Adrian Voicila, Thèse BDI ST-micro

Objectif : Étudier la faisabilité d'une architecture de décodage des codes non-binaires

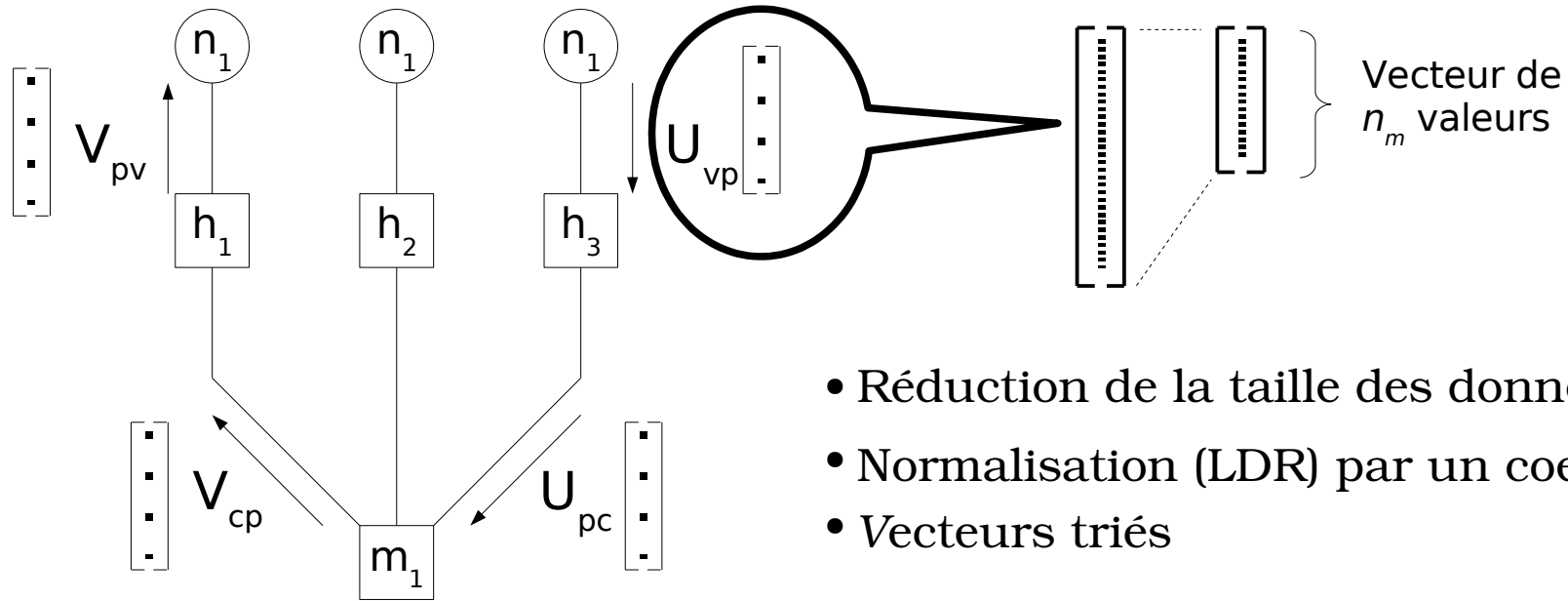


Défi :

- Aucune réalisation matérielle dans $GF(q)$ (**pour $q > 64$**)
- Problème de représentation des données (vecteurs)
- Complexité des algorithmes de décodage **$O(q^2)$**

Démarche de réduction massive de la complexité

Algorithme sous-optimal à complexité réduite (EMS)

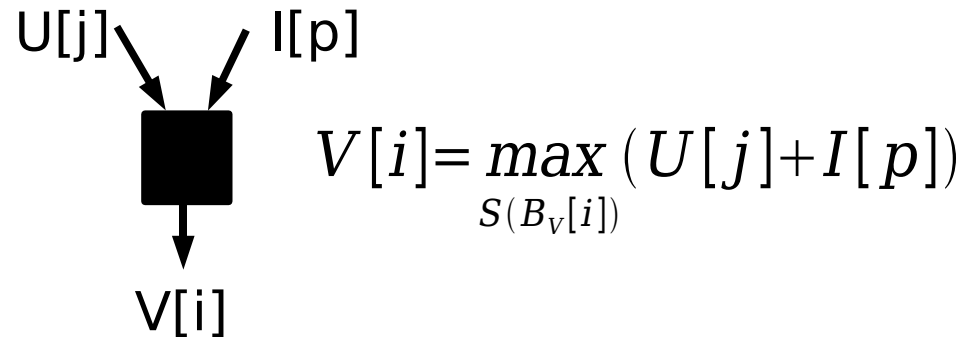


- Réduction de la taille des données : $q \rightarrow n_m$
- Normalisation (LDR) par un coefficient $\gamma \in R$
- Vecteurs triés

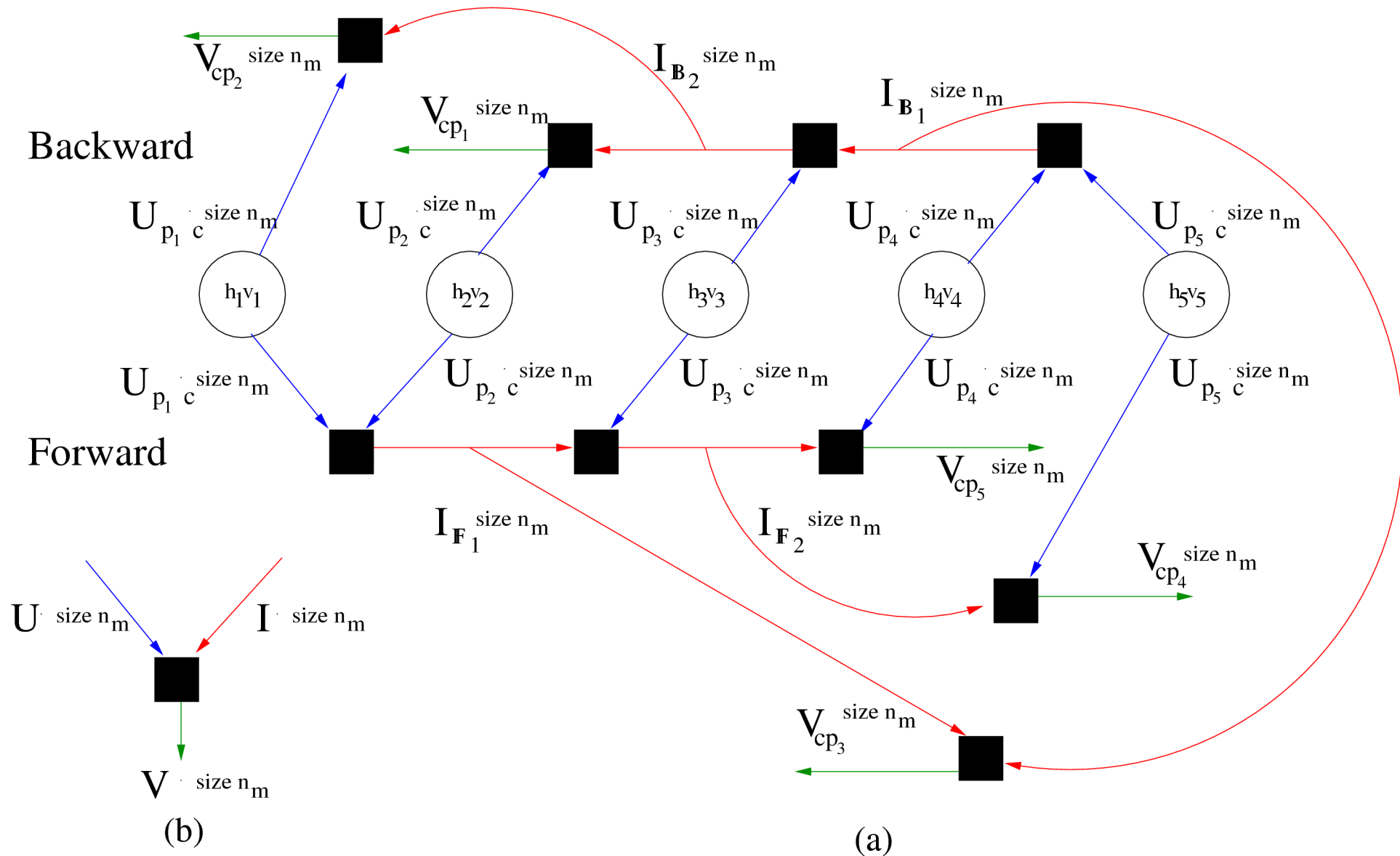
Algorithme MinSum dans $GF(q)$:

Forward-Backward récursif

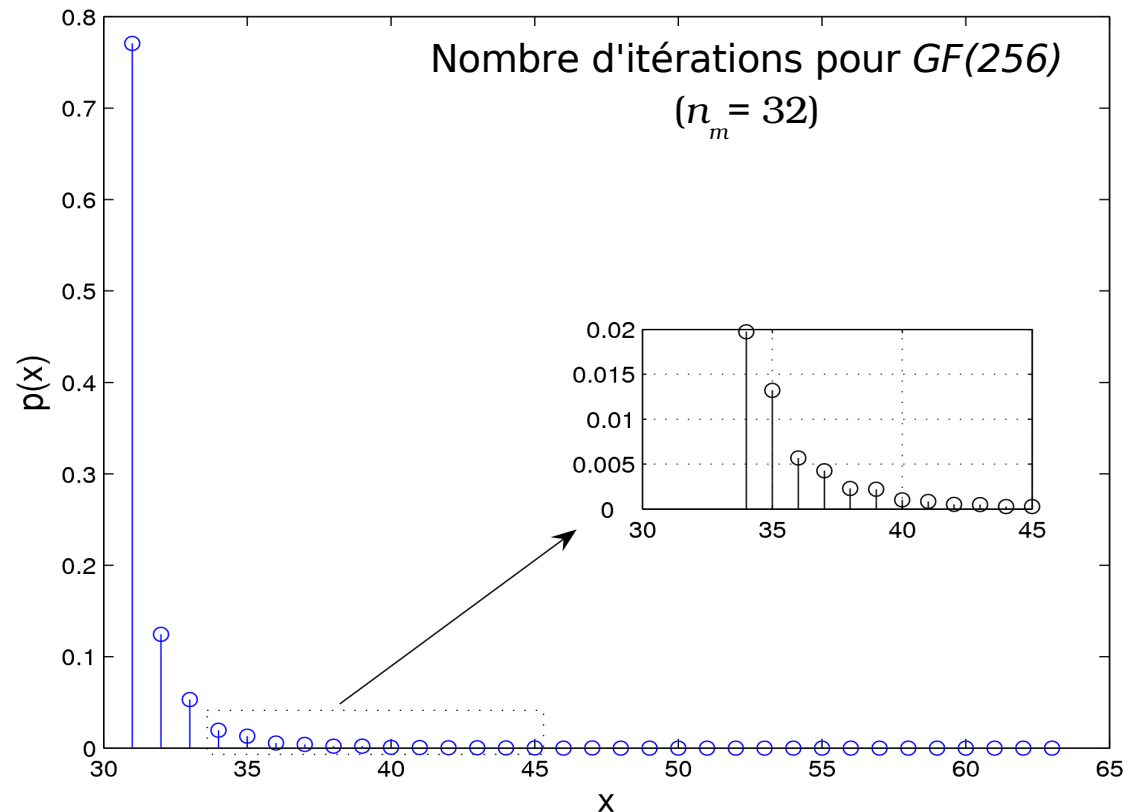
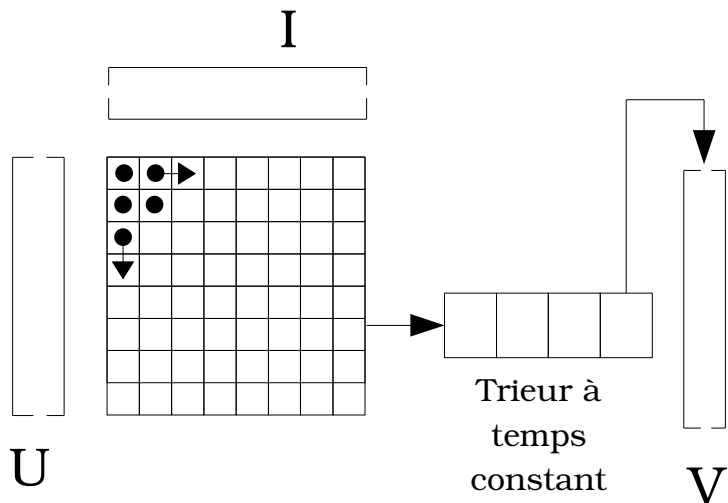
Opérateur élémentaire :
Somme + tri de vecteurs



Décodeur $GF(q)$: Algorithme EMS- n_m



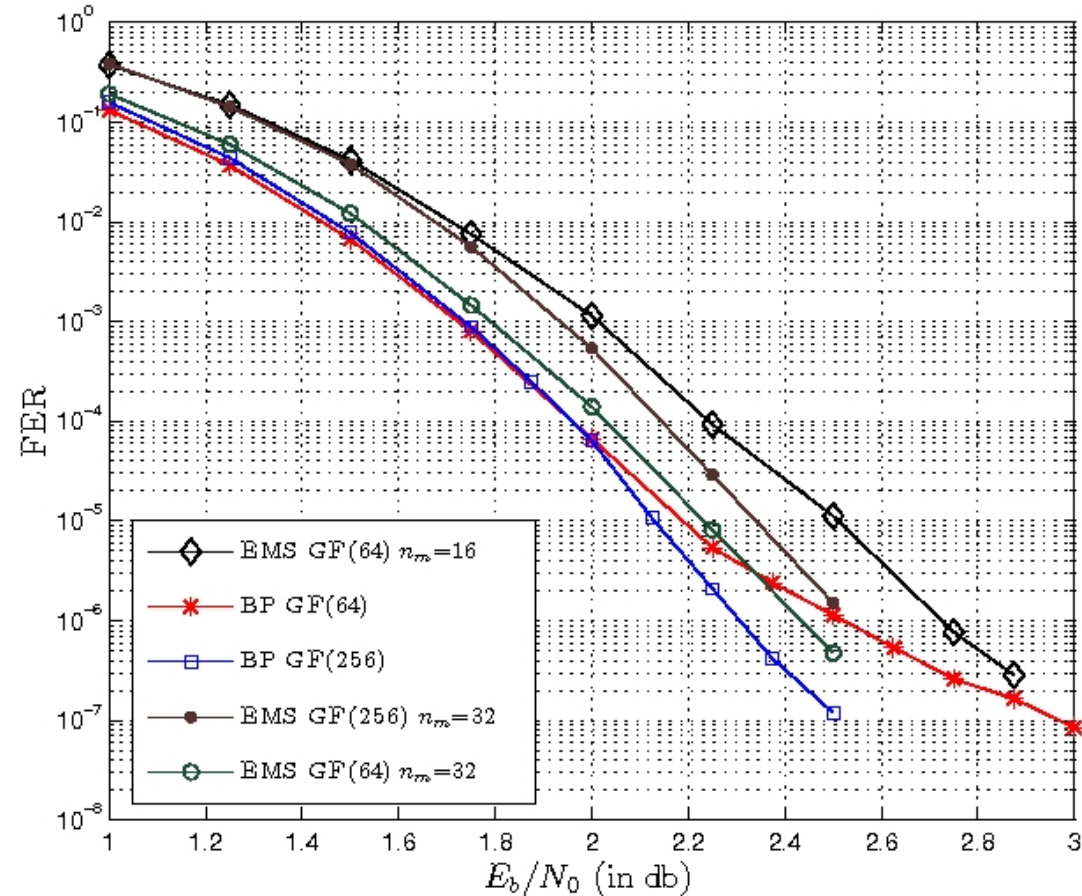
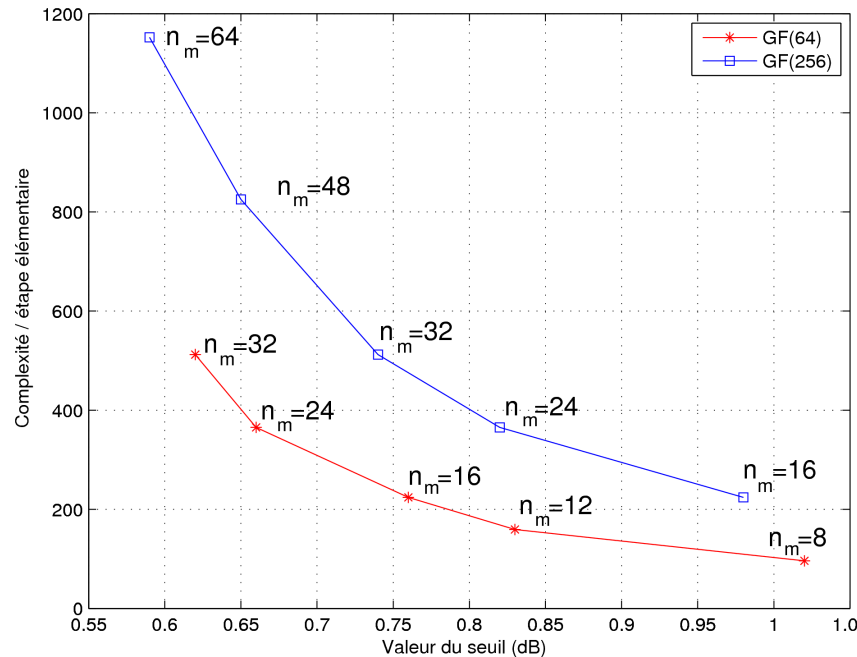
Structure élémentaire de l'algorithme EMS- n_m



Algorithme temps minimal :

- $U[]$ et $I[]$, des vecteurs (n_m valeurs) triés dans l'ordre décroissant
- Parcours des combinaisons $U[j]+I[p]$ telles que $\beta_v \oplus \beta_u \oplus \beta_i = 0$ et β_v absent du vecteur V
- Temps de calcul inférieur à n_m^2
- Toutes les valeurs sont dans la première antidiagonale
- Expérimentalement, K itérations suffisent
- Opérations et complexités ND et NP équivalentes : processeur unique ?

Performances de l'algorithme EMS- n_m



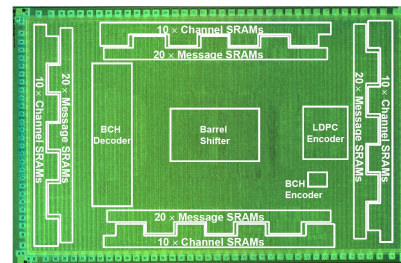
Résultats :

- Compromis performance/complexité
- Réduction complexité : BP $O(q^2)$ \rightarrow EMS $O(n_m \log_2(n_m))$
- Proposition d'architecture du processeur élémentaire

Parallélisation ?

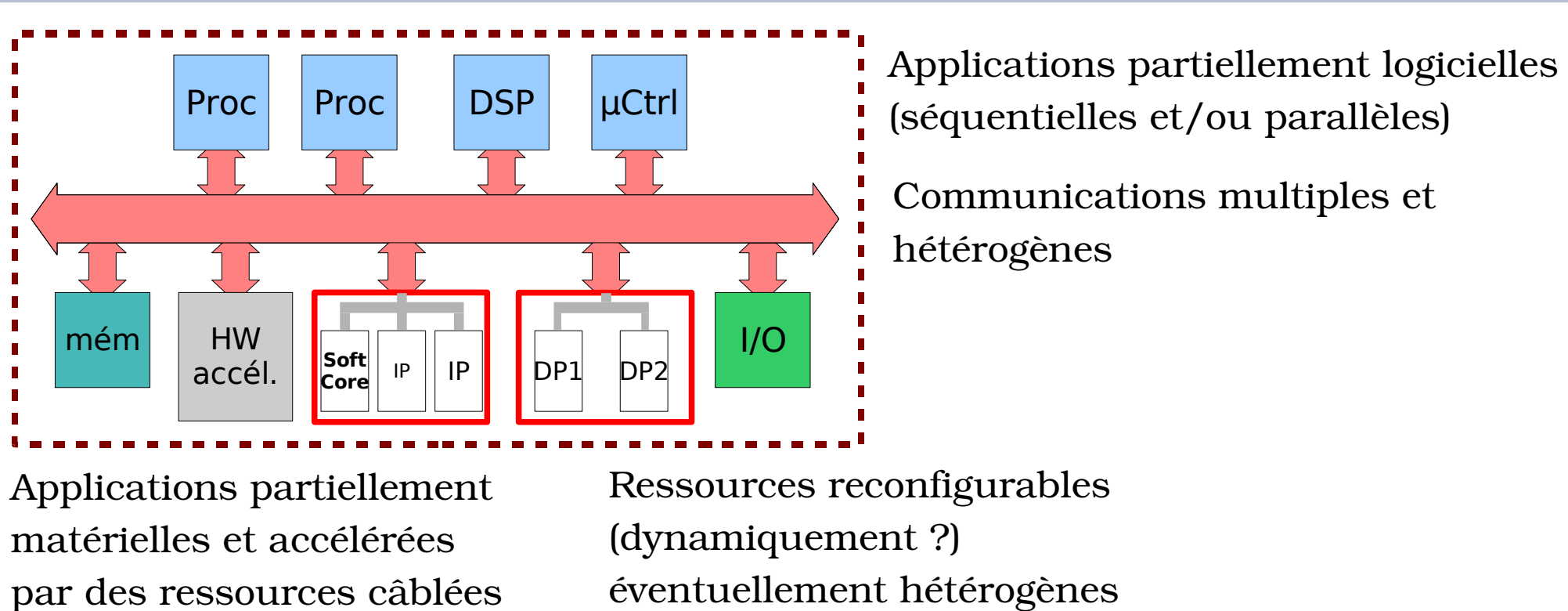
[GRETSI'05]

[ICC'07]



**Adaptabilité à
l'environnement :
Auto-adaptabilité ?
Reconfigurabilité ?**

2. Conception des plate-formes RSoC



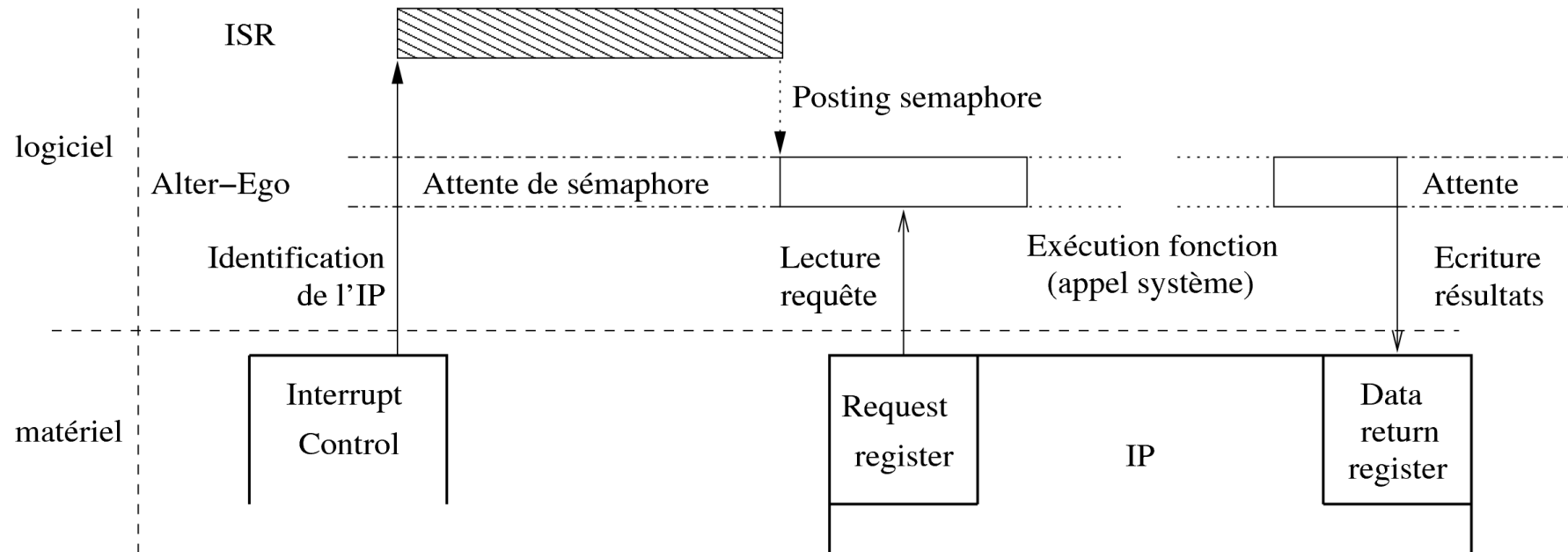
Rendre homogènes

- Les modèles de calcul,
- Le transport des informations,
- L'organisation spatio-temporelle des traitements,
- Le déploiement d'applications

Conception à haut niveau
Couches d'abstraction
Interfaces de programmation

OS embarqués

2.1 Communications HW/SW : Modèle des *Alter Ego* logiciels



Principe :

- *Alter Ego* = Proxy de la tâche matérielle
- Tâche logicielle ordonnancée par l'OS
- Intercepte les appels systèmes
- Abstraction des communications SW/HW

Résultats :

- Plate-forme FPGA Xilinx Virtex2-pro
 - Processeur PowerPC 405
 - RTOS «léger» μ C/OS-II
- Application au cas :
 - Communication de données
 - Partage de ressources
 - Allocation dynamique de mémoire

2.2 Modélisation à haut niveau des OS

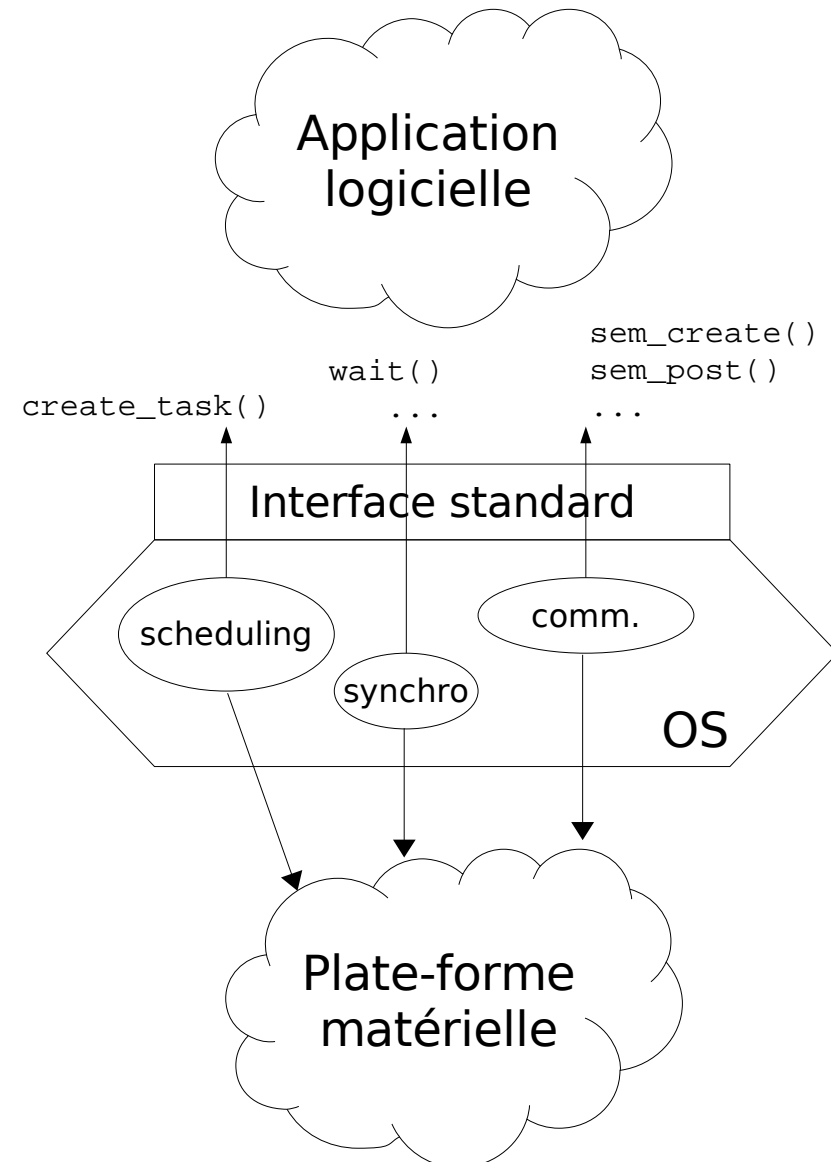
Objectifs :

- Explorer l'intégration des OS
- Valider les services dédiés
- Flot sans rupture (SW + HW)

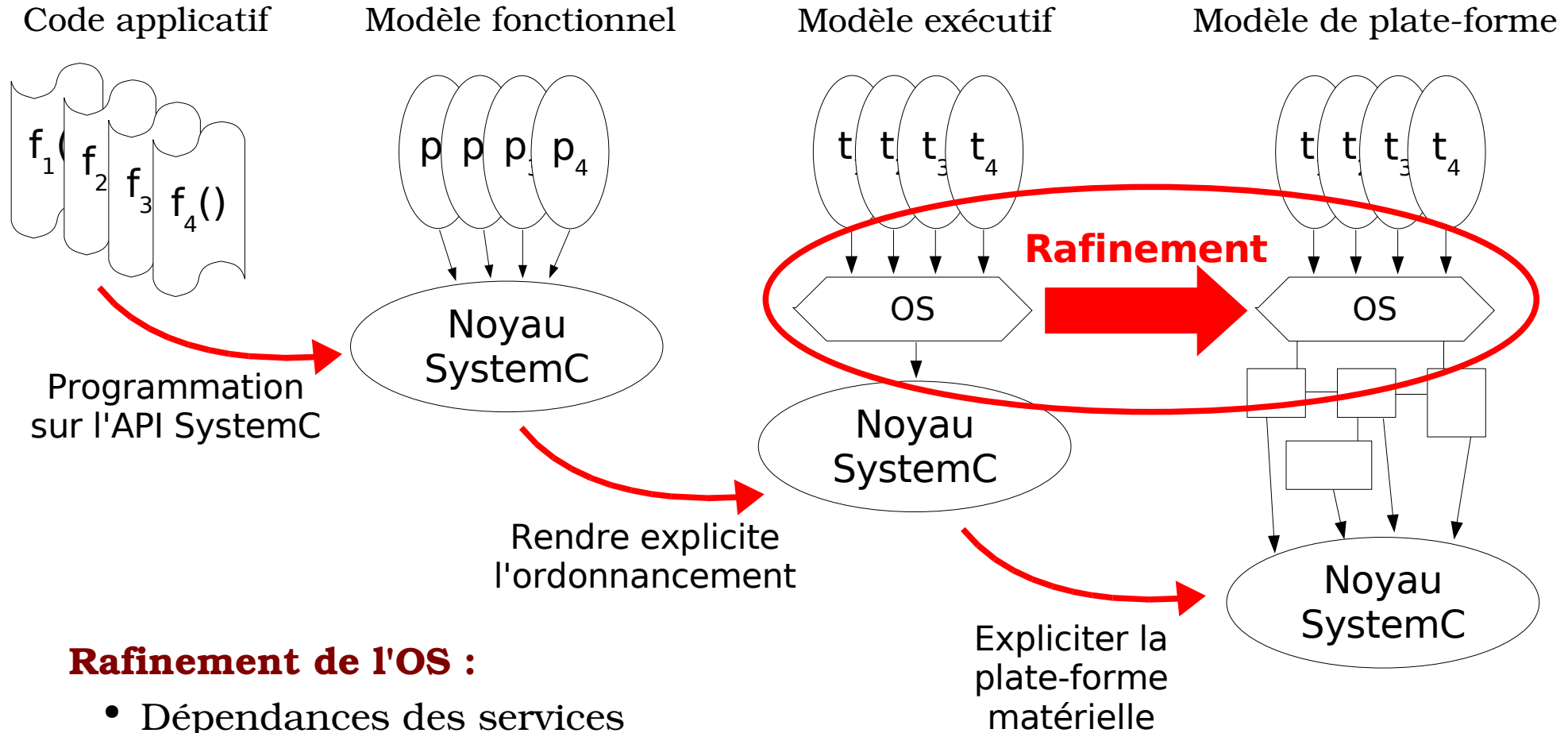
Développer des modèles d'OS temps-réels embarqués

Concepts :

- Construction de modèles **exécutables** d'OS
- Approche par étapes successives de raffinement (inspiration TLM)
- Construction modulaire du modèle (exploration des services)



Méthodologie de modélisation d'OS : OverSoC (projet ANR 2005)



Rafinement de l'OS :

- Dépendances des services
- Services dédiés plate-forme
- Réalisation matérielle des services
- Gestion des ressources reconfigurables

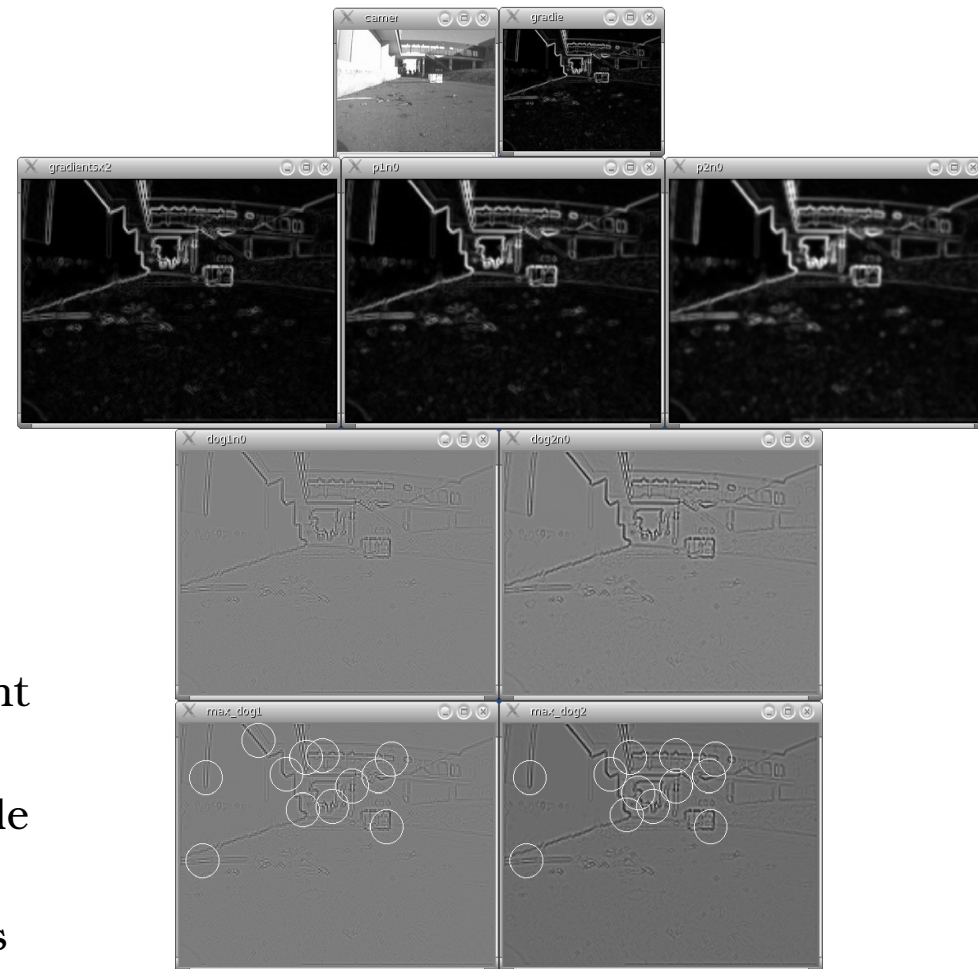
Un modèle exécutable de RTOS en SystemC

Modèle exécutif :

- Librairie SystemC 2.1
- Création dynamique de processus (tâches)
- Simulation de la pré-emption
- Ordonnancement temps-réel
- Exploration de l'ordonnancement par surcharge de la classe
- Service de communication

Résultats :

- Application de vision dynamique
- Exploration des stratégies d'ordonnancement (*rate-monotonic*, *round-robin*)
- Validation fonctionnelle de l'application **et** de l'OS
- Simulation temporelle (WCET, changements de contextes...)



Modélisation SystemC modulaire d'un RTOS

```
// POSIX-inspired RTOS interface
class basic_os_if : virtual public sc_interface
{
public:
    // Global interface
    virtual void OSInit()=0;
    virtual void OSStart()=0;

    // Task management
    virtual task* create_task(void (*f)(), int pri,
const char *name)=0;
    virtual void kill_task(unsigned int p)=0;

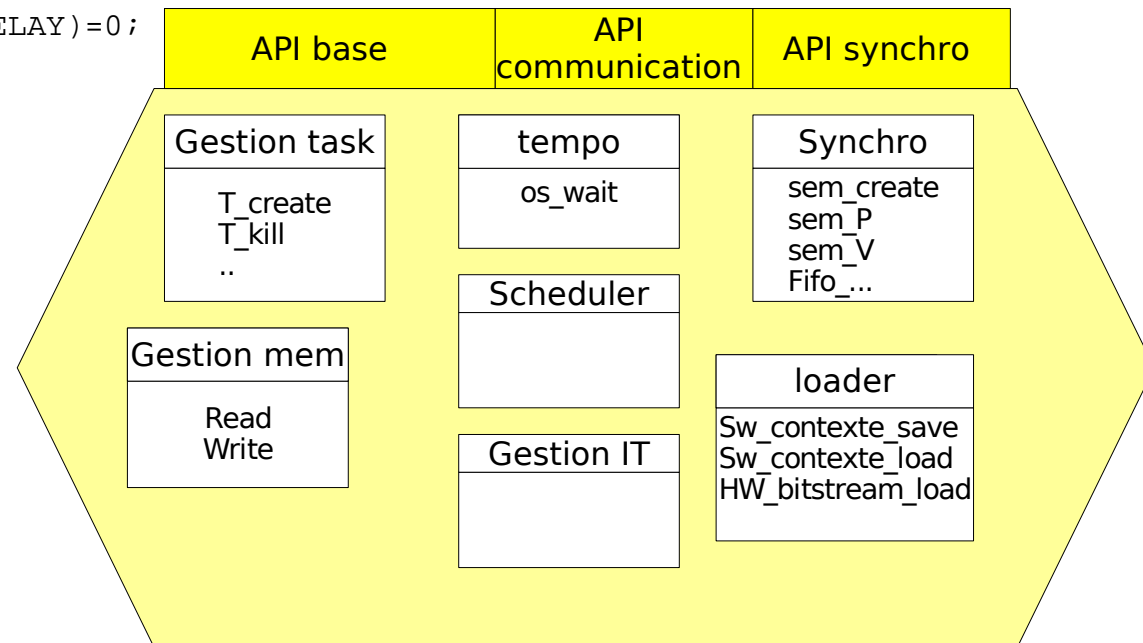
    // Process ID services
    virtual int get_pid(task *t)=0;
    virtual task *get_task(unsigned int p)=0;

    // Preemption and exec. time modelling
    virtual void os_wait(task *t, sc_time t_DELAY)=0;
};
```

Classe de l'OS

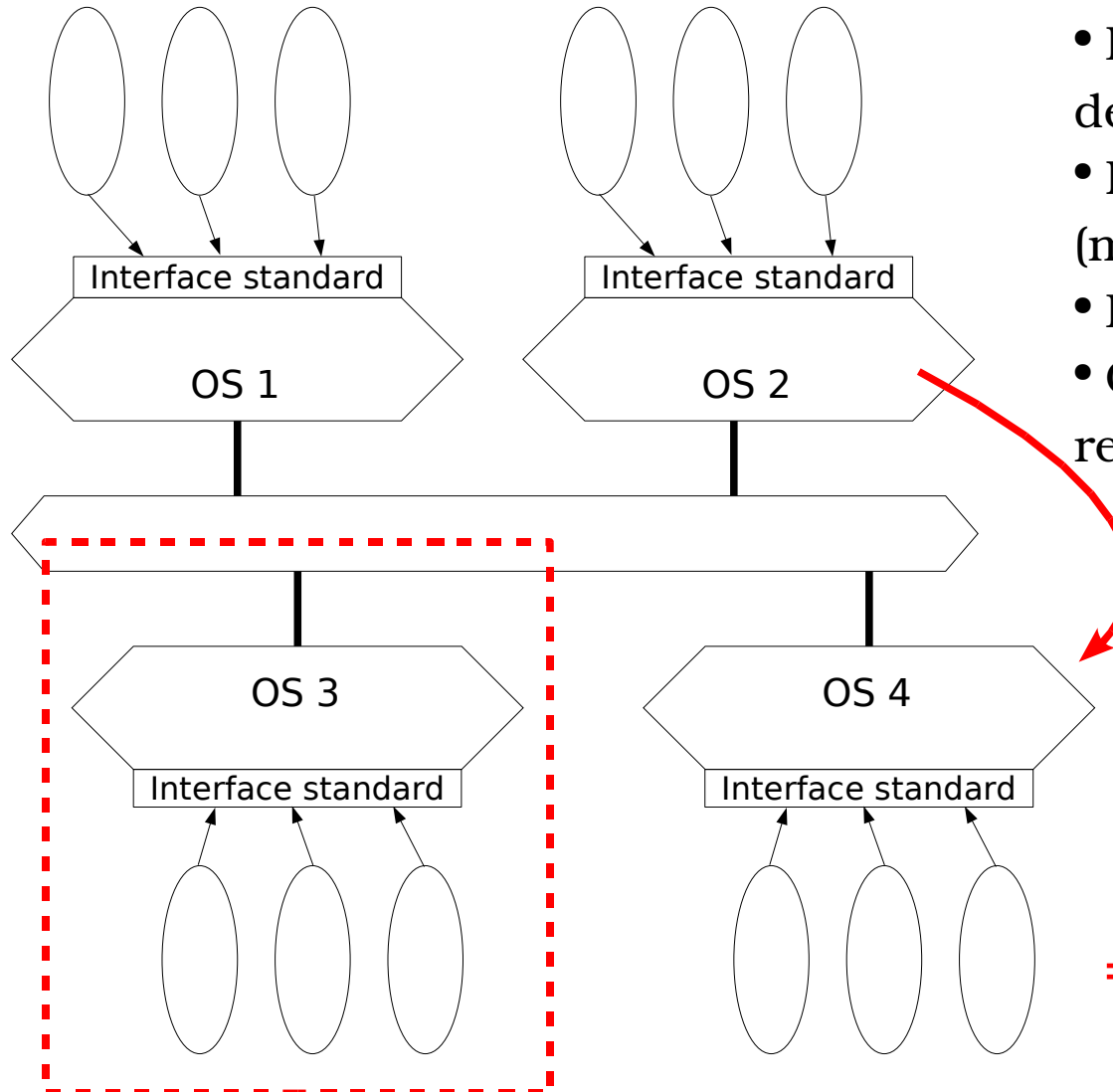
```
// Communication services interface
class basic_comm_if : virtual public sc_interface
{
    // dynamical creation of mutexes
    virtual OS_sem *OS_create_semaphore()=0;
    // mutex request, blocking call
    virtual void OS_sem_lock(task *t, OS_sem *s)=0;
    // mutex release
    virtual void OS_sem_unlock(task *t, OS_sem *s)=0;
};
```

Classe du service de communication



Modèles d'OS distribués et hétérogènes

⇒ Emmanuel Huck, Thèse BDI Thalès



- Modélisation des mécanismes de communication inter-noyaux
- Equilibrage de charge (migration)
- Multi-ordonnancement
- Gestion des ressources reconfigurables

- Modèle distribué flexible
- Auto-reconfiguration

⇒ **projet ANR OverSoC**

Soft-Core sur FPGA ?

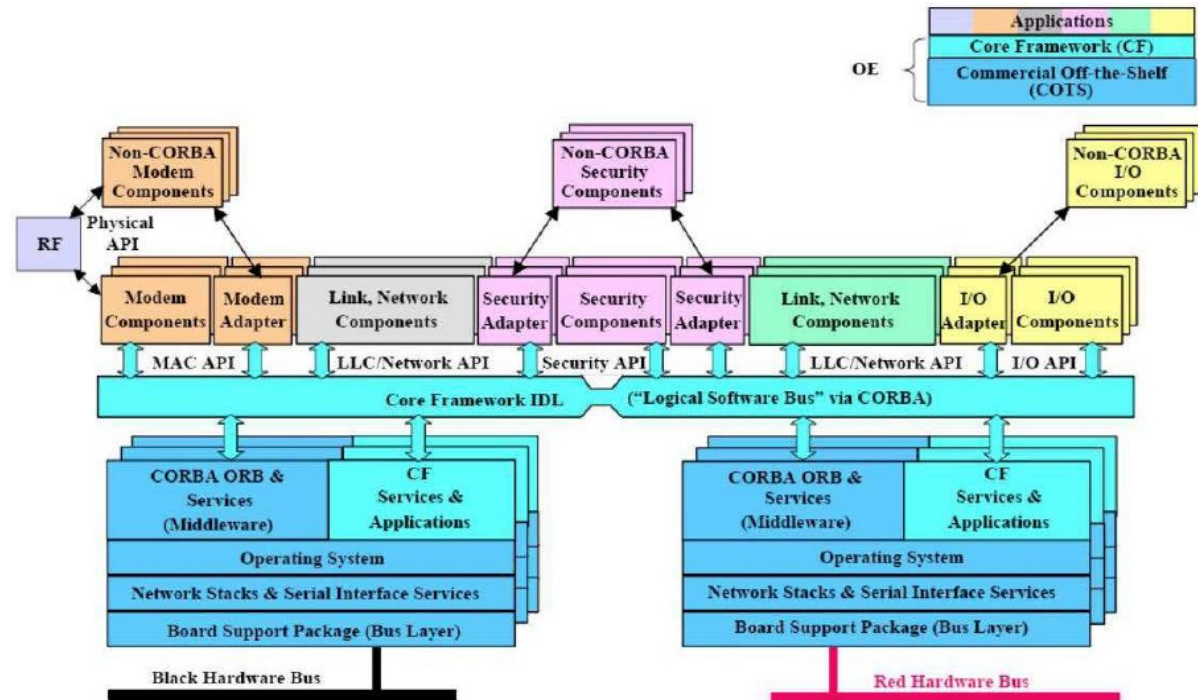
2.3 Conception de plate-formes de SDR

⇒ *Grégory Gailliard, Thèse CIFRE Thalès-Com*

Contexte de la radio-logicielle :

- Portabilité de formes d'ondes sur les plate-formes
- Configurabilité des plate-formes

⇒ **Reconfiguration matérielle ?**



Démarche SCA (Software Communication Architecture) :

- Modélisation inspirée du génie logiciel
- Environnement d'exécution CORBA et OS POSIX
- Prototypage pour des plate-formes DSP ou RISC

⇒ **Décliner les concepts sur FPGA ?**

Uniformiser les flots de développement

Concepts du génie logiciel :

- Spécification d'IP en UML
- Réutilisation de code
- Séparation des concepts comportement/réalisation
- Utiliser au plus tôt des modèles virtuels de vérification

Utiliser SystemC dans un flot PIM/PSM

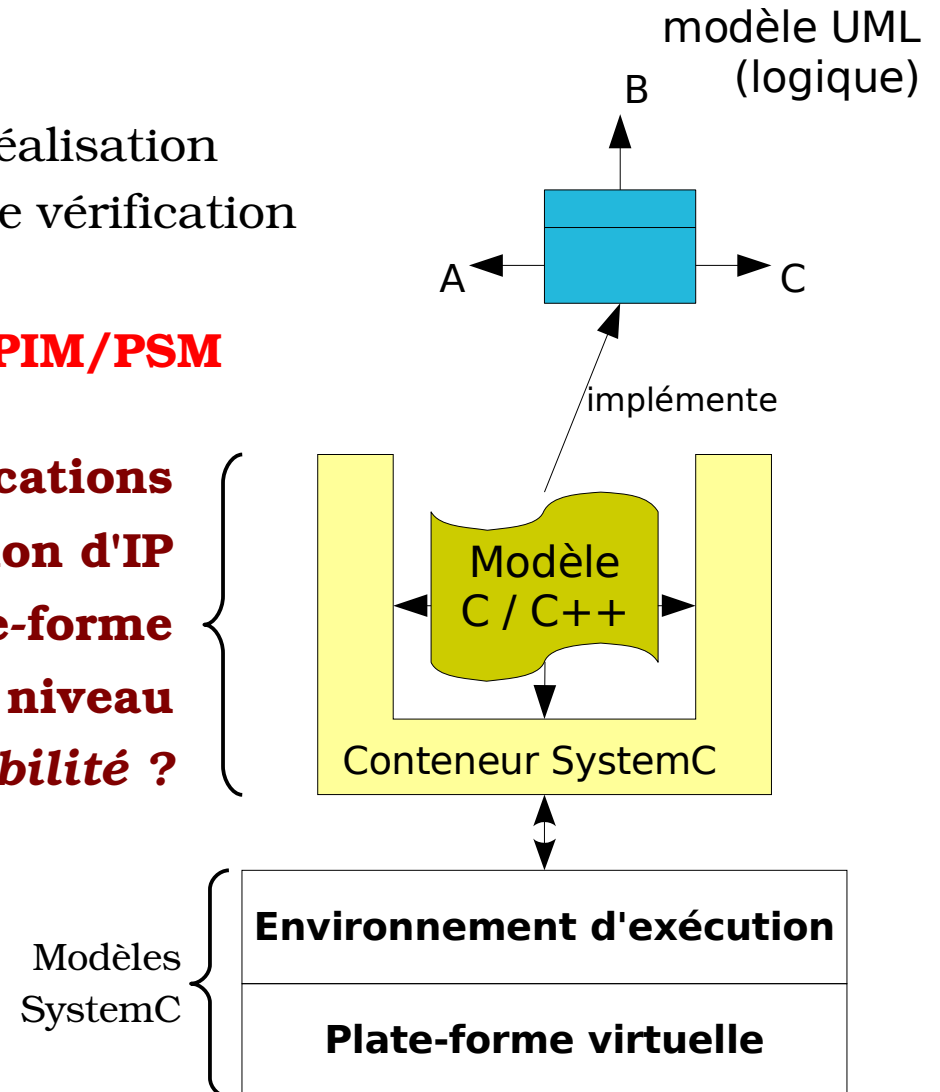
Abstraction des communications

Réutilisation d'IP

Virtualisation de la plate-forme

Validation à haut niveau

Configurabilité ?



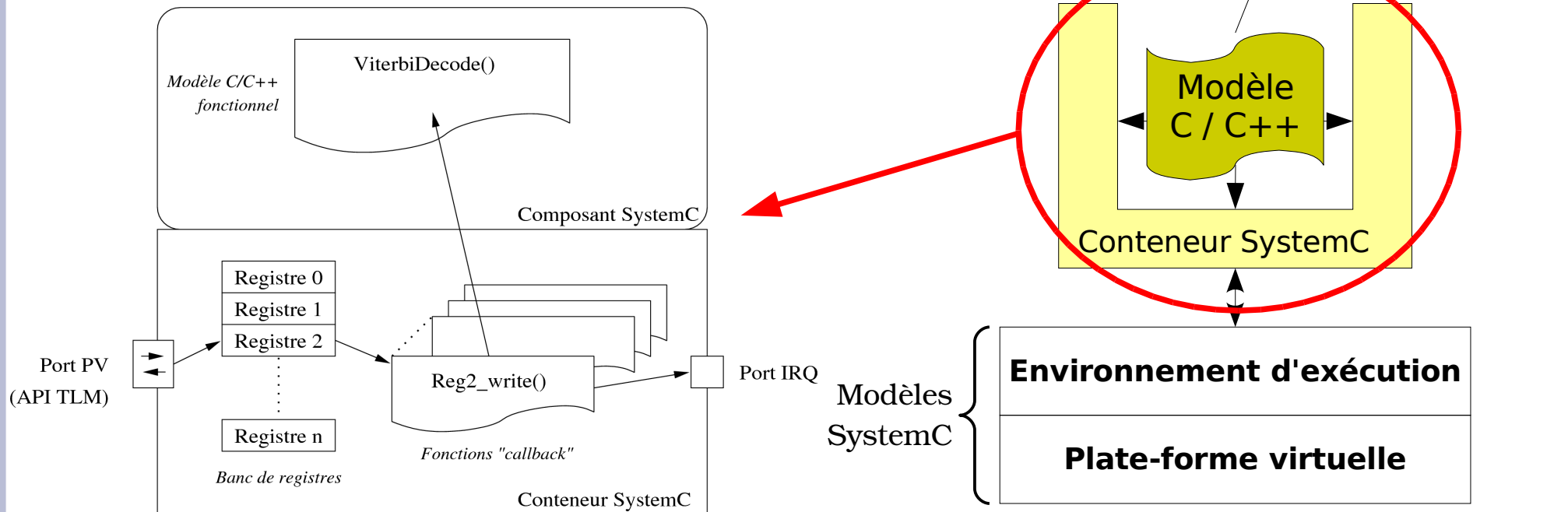
[ReCoSoC'06], [DATE'07]

Uniformiser les flots de développement

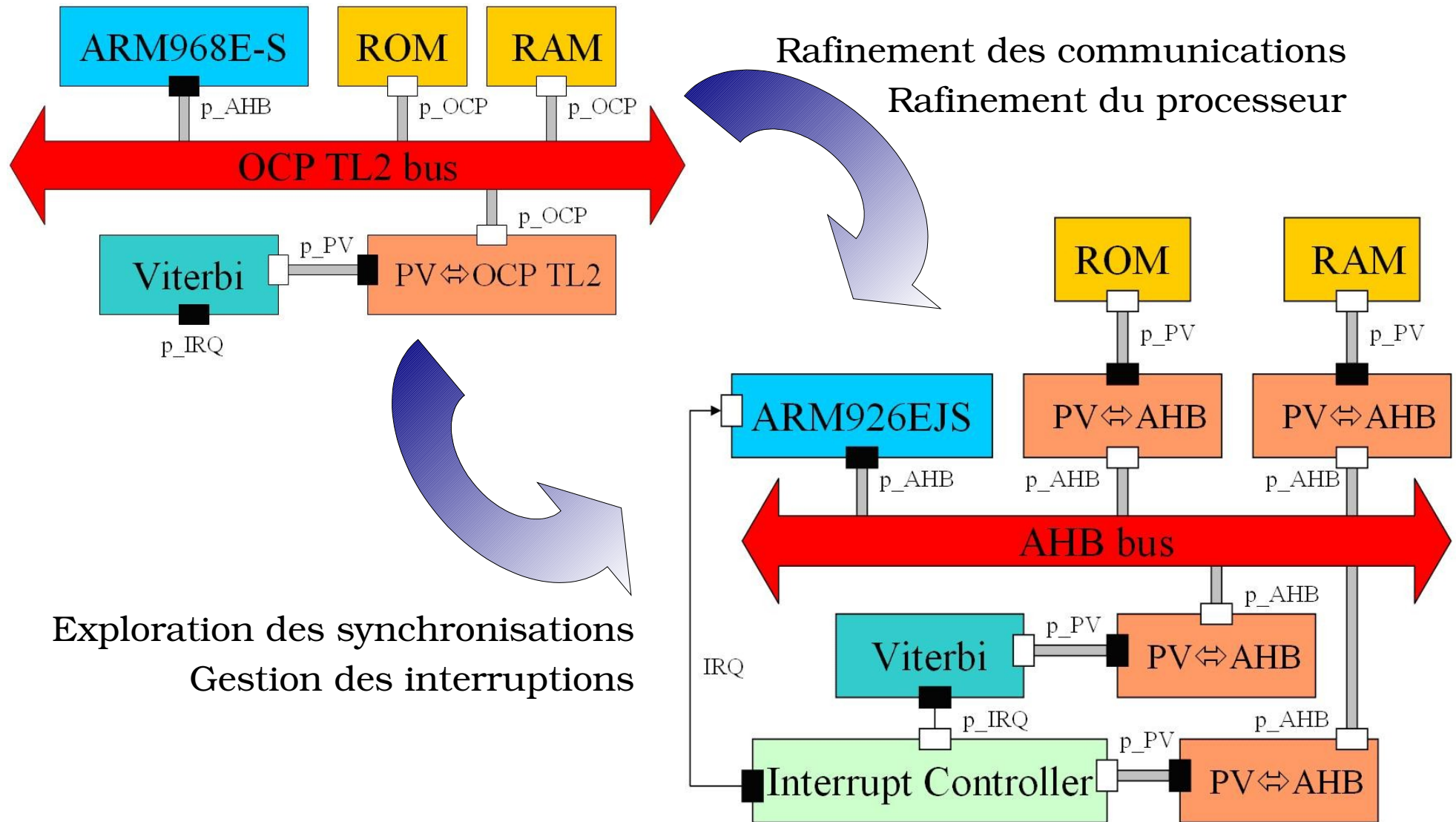
Concepts du génie logiciel :

- Spécification d'IP en UML
- Réutilisation de code
- Séparation des concepts comportement/réalisation
- Utiliser au plus tôt des modèles virtuels de vérification

Utiliser SystemC dans un flot PIM/PSM



Approche Composant/Conteneur pour la réutilisation d'IP

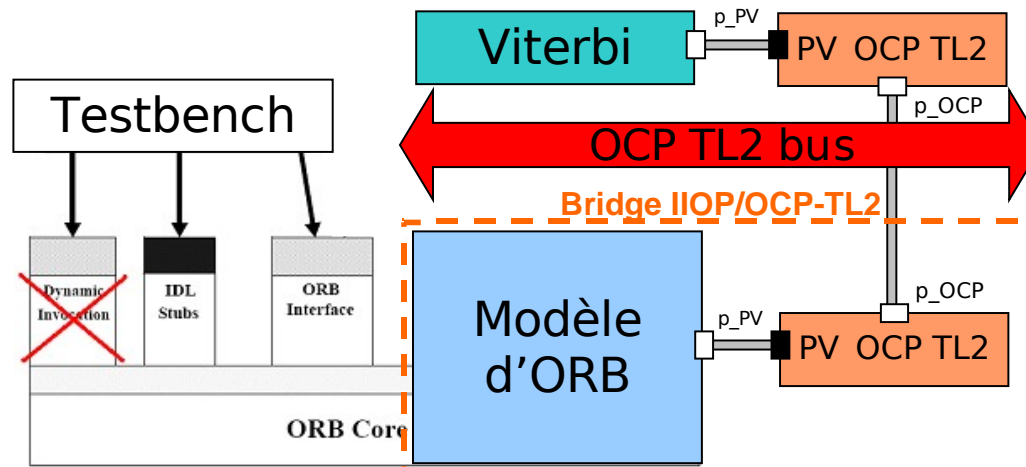


Proposition de déclinaison matérielle des concepts CORBA

1. Etudier la nature des communications sur des applications représentatives et extraire des modèles

2. Déclinaison matérielle des mécanismes de CORBA

- Transparence des communications quelque soit la localisation des composants logiciels et matériels sur GPP, DSP ou FPGA
- Premiers résultats :
 - Interopérabilité des communications via des messages GIOP (General Inter-ORB Protocol)



L'équipe «Architecture» du laboratoire ETIS

Doctorants :

Arthur Segard (01/2007)
Adrian Voicila (2007)
Grégory Gailliard (2008)
Emmanuel Huck (2009)
Sonia Khatchadourian (2008)

Post-Doctorant :

Fakhreddine Ghaffari

Permanents :

Amine Benkhelifa (MCF)
Frédéric de Mélo (IE)
Benoît Miramond (MCF)
Jean-Christophe Prévotet (MCF)
Mahmoud Karabernou (MCF)
Lounis Kessal (MCF HDR)
François Verdier (MCF HDR)